

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11225069 A**(43) Date of publication of application: **17.08.99**

(51) Int. Cl.

H03L 7/093
H03L 7/18
// H03K 5/26

(21) Application number: **10026060**

(71) Applicant:

FUJITSU LTD FUJITSU VLSI LTD(22) Date of filing: **06.02.98**

(72) Inventor:

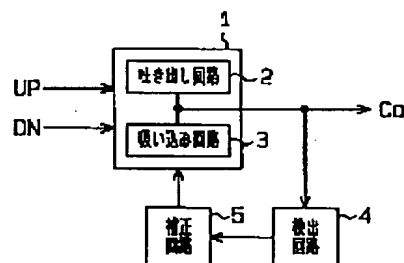
YAJIMA HIDEAKI

**(54) CHARGE PUMP CIRCUIT, PLL CIRCUIT AND PLL
 FREQUENCY SYNTHESIZER**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a charge pump circuit that balances delivery and suction.

SOLUTION: A charge/discharge circuit 1 of a charge pump circuit includes a delivery circuit 2 that conducts charging in response to a 1st pulse signal UP and a suction circuit 3 that discharges in response to a 2nd pulse signal DN. The charge/discharge circuit 1 uses a connecting point between the delivery circuit 2 and the suction circuit 3 as an output terminal and outputs a voltage output signal Co based on the charging and discharging operations from the terminal. A detection circuit 4 connects to the output terminal to detect a state of the delivery circuit 2 and the suction circuit 3 and outputs a control signal in response to the detection result. A correction circuit 5 controls the delivery circuit 2 and the suction circuit 3 based on the control signal.



COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-225069

(43) 公開日 平成11年(1999) 8月17日

(51) IntCl.⁸

識別記号

F I

H 0 3 L 7/093

H 0 3 L 7/08

E

7/18

H 0 3 K 5/26

G

// H 0 3 K 5/26

H 0 3 L 7/18

Z

審査請求 未請求 請求項の数16 O L (全 33 頁)

(21) 出願番号 特願平10-26060

(22) 出願日 平成10年(1998) 2月6日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 谷島 秀明

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宣

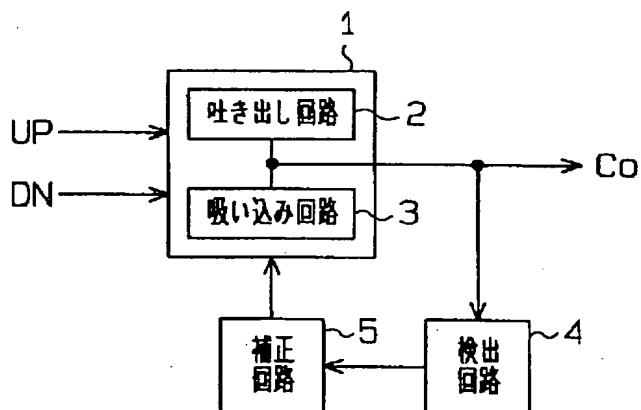
(54) 【発明の名称】 チャージポンプ回路、PLL回路、及び、PLL周波数シンセサイザ

(57) 【要約】

【課題】 吐き出しと吸い込みのバランスをとることができるチャージポンプ回路を提供すること。

【解決手段】 チャージポンプ回路のチャージ/ディスチャージ回路1は、第1のパルス信号UPに応答してチャージ動作を行う吐き出し回路2と、第2のパルス信号DNに応答してディスチャージ動作を行う吸い込み回路3を含む。チャージ/ディスチャージ回路1は、吐き出し回路2と吸い込み回路3の接続点を出力端子として該端子からチャージ動作とディスチャージ動作に基づく電圧の出力信号Coを出力する。検出回路4は、出力端子に接続され、吐き出し回路2と吸い込み回路3の状態を検出し、その検出結果に応じた制御信号を出力する。補正回路5は、制御信号に基づいて吐き出し回路2と吸い込み回路3を制御する。

本発明の原理説明図



【特許請求の範囲】

【請求項 1】 第 1 のパルス信号に応答してチャージ動作を行う吐き出し回路と、第 2 のパルス信号に応答してディスチャージ動作を行う吸い込み回路を含み、前記吐き出し回路と吸い込み回路の接続点を出力端子として該端子から前記チャージ動作とディスチャージ動作に基づく電圧の出力信号を出力するチャージ／ディスチャージ回路と、

前記出力端子に接続され、前記吐き出し回路と吸い込み回路の状態を検出し、その検出結果に応じた制御信号を出力する検出回路と、

前記制御信号に基づいて前記吐き出し回路と前記吸い込み回路を制御し、吐き出し回路のチャージ量と吸い込み回路のディスチャージ量とのバランスを補正する補正回路とを備えたチャージポンプ回路。

【請求項 2】 請求項 1 に記載のチャージポンプ回路において、

前記検出回路は、前記出力端子の電位に基づいて前記吐き出し回路と吸い込み回路の状態を検出して前記制御信号を出力し、

前記補正回路は、前記制御信号に基づいて、前記出力端子の電位が高い場合には吸い込み回路の駆動能力又は導通度を下げ、前記出力端子の電位が低い場合には吐き出し回路の駆動能力又は導通度を上げるように前記吸い込み回路及び吐き出し回路を制御したチャージポンプ回路。

【請求項 3】 請求項 1 に記載のチャージポンプ回路において、

前記検出回路は、吐き出し回路、吸い込み回路にかかる電位差を検知し、電位差に基づく前記制御信号を出力し、

前記補正回路は、吐き出し回路側の電位差が高い場合には吐き出し回路の駆動能力又は導通度を下げ、逆に吸い込み回路側の電位差が高い場合には吸い込み回路の駆動能力又は導通度を上げるように前記吸い込み回路及び吐き出し回路を制御したチャージポンプ回路。

【請求項 4】 請求項 1 に記載のチャージポンプ回路において、

前記検出回路は、吐き出し回路、吸い込み回路に流れる電流量を検知し、電位差に基づく前記制御信号を出力し、

前記補正回路は、吐き出し電流の方が多い場合には吐き出し回路の駆動能力又は導通度を下げ、吸い込み電流の方が多い場合には吸い込み回路の駆動能力又は導通度を上げるように前記吸い込み回路及び吐き出し回路を制御したチャージポンプ回路。

【請求項 5】 請求項 1 に記載のチャージポンプ回路において、

前記検出回路は、前記出力端子の電位に基づいて前記吐き出し回路と吸い込み回路の状態を検出して前記制御信

号を出力し、

前記補正回路は、前記制御信号に基づいて、前記出力端子の電位が高い場合には吐き出し回路の駆動能力又は導通度を上げ、前記出力端子の電位が低い場合には吸い込み回路の駆動能力又は導通度を上げるように前記吸い込み回路及び吐き出し回路を制御したチャージポンプ回路。

【請求項 6】 請求項 1 に記載のチャージポンプ回路において、

10 前記検出回路は、吐き出し回路、吸い込み回路にかかる電位差を検知し、電位差に基づく前記制御信号を出力し、

前記補正回路は、吐き出し回路側の電位差が高い場合には吸い込み回路の駆動能力又は導通度を上げ、逆に吸い込み回路側の電位差が高い場合には吐き出し回路の駆動能力又は導通度を上げるように前記吸い込み回路及び吐き出し回路を制御したチャージポンプ回路。

【請求項 7】 請求項 1 に記載のチャージポンプ回路において、

20 前記検出回路は、吐き出し回路、吸い込み回路に流れる電流量を検知し、電位差に基づく前記制御信号を出力し、

前記補正回路は、吐き出し電流の方が多い場合には吸い込み回路の駆動能力又は導通度を上げ、吸い込み電流の方が多い場合には吐き出し回路の駆動能力又は導通度を上げるように前記吸い込み回路及び吐き出し回路を制御したチャージポンプ回路。

【請求項 8】 請求項 2 乃至 7 のうちの何れか 1 項に記載のチャージポンプ回路において、

30 前記吐き出し回路と前記吸い込み回路はそれぞれゲートに前記第 1、第 2 のパルス信号がそれぞれ入力される一対の第 1 トランジスタを含み、

前記補正回路は、前記一対のトランジスタのゲートにドレインが接続され、ゲートに前記制御信号が入力される一対の第 2 トランジスタを含み、前記制御信号に基づいて前記一対の第 2 トランジスタをそれぞれ駆動して前記一対の第 1 トランジスタのゲート電圧を制御し、該一対の第 1 トランジスタの駆動能力又は導通度を変更するようにしたチャージポンプ回路。

40 【請求項 9】 請求項 8 に記載のチャージポンプ回路において、

前記検出回路は、

前記第 1 の吐き出し回路にかかる電位差を検知し、検出した電流量に応じた電圧の第 1 の制御信号を出力する第 1 のオペアンプと、

前記第 1 の吸い込み回路にかかる電位差を検知し、検出した電流量に応じた電圧の第 2 の制御信号を出力する第 2 のオペアンプとを備え、

50 前記補正回路は、前記第 1、第 2 の制御信号に基づいて前記一対の第 2 トランジスタを制御して前記一対の第 1

トランジスタのゲート電圧を制御するようにしたチャージポンプ回路。

【請求項 10】 請求項 8 に記載のチャージポンプ回路において、

前記検出回路は、

前記第 1 の吐き出し回路に流れる電流量を検知し、検知した電流量に応じた電圧の第 1 の検知信号を出力する第 1 の電流量検知手段と、

前記第 1 の吸い込み回路に流れる電流量を検知し、検知した電流量に応じた電圧の第 2 の検知信号を出力する第 2 の電流量検知手段と、

前記第 1, 第 2 の検知信号を比較し、その比較結果を制御信号として出力する比較器とを備え、

前記補正回路は、前記制御信号に基づいて前記一対の第 2 トランジスタを制御して前記一対の第 1 トランジスタのゲート電圧を制御するようにしたチャージポンプ回路。

【請求項 11】 請求項 2 乃至 7 のうちの何れか 1 項に記載のチャージポンプ回路において、

前記吐き出し回路は、前記第 1 のパルス信号に基づいてチャージ動作を行う第 1 の吐き出し回路と、前記補正回路によりチャージ量が制御される第 2 の吐き出し回路とを備え、

前記吸い込み回路は、前記第 2 のパルス信号に基づいてディスチャージ動作を行う第 1 の吸い込み回路と、前記補正回路によりディスチャージ量が制御される第 2 の吸い込み回路とを備えたチャージポンプ回路。

【請求項 12】 請求項 11 に記載のチャージポンプ回路において、

前記第 2 の吐き出し回路と前記第 2 の吸い込み回路を複数対備え、

前記補正回路は、前記検出信号に基づいて動作させる前記第 2 の吐き出し回路と第 2 の吸い込み回路の対の数を変更するようにしたチャージポンプ回路。

【請求項 13】 請求項 11 又は 12 に記載のチャージポンプ回路において、

前記検出回路は、

前記第 1 の吐き出し回路にかかる電位差を検知し、検知した電流量に応じた電圧の第 1 の制御信号を出力する第 1 のオペアンプと、

前記第 1 の吸い込み回路にかかる電位差を検知し、検知した電流量に応じた電圧の第 2 の制御信号を出力する第 2 のオペアンプとを備え、

前記補正回路は、前記第 1 の制御信号に基づいて前記第 2 の吐き出し回路を制御し、前記第 2 の制御信号に基づいて前記第 2 の吸い込み回路を制御するようにしたチャージポンプ回路。

【請求項 14】 請求項 11 又は 12 に記載のチャージポンプ回路において、

前記検出回路は、

前記第 1 の吐き出し回路に流れる電流量を検知し、検知した電流量に応じた電圧の第 1 の検知信号を出力する第 1 の電流量検知手段と、

前記第 1 の吸い込み回路に流れる電流量を検知し、検知した電流量に応じた電圧の第 2 の検知信号を出力する第 2 の電流量検知手段と、

前記第 1, 第 2 の検知信号を比較し、その比較結果を制御信号として出力する比較器とを備え、

前記補正回路は、前記制御信号に基づいて前記第 2 の吐き出し回路又は前記第 2 の吸い込み回路を動作させるようにしたチャージポンプ回路。

【請求項 15】 基準信号と比較信号が入力され、基準信号と比較信号の位相差に基づくパルス幅の第 1, 第 2 位相差信号を出力する位相比較器と、

前記第 1, 第 2 パルス信号として前記位相比較器から出力される前記第 1, 第 2 位相差信号をそれぞれ入力し、前記第 1, 第 2 位相差信号に基づく出力信号を出力する請求項 1 乃至 14 のうちの何れか 1 項に記載のチャージポンプ回路と、

前記チャージポンプ回路から出力される出力信号の電圧値に応じた周波数信号を出力する電圧制御発振器と、前記周波数信号を分周して前記比較信号を出力する分周回路とを備えた PLL 回路。

【請求項 16】 入力される制御電圧信号の電圧値に応じた周波数信号を出力する電圧制御発振器と、所定周波数の発信信号を基準周波数に分周した基準信号を出力する基準分周器と、前記電圧制御発振器の周波数信号を分周した比較信号を出力する比較分周器と、

前記基準信号の位相と前記比較信号の位相を比較し、その比較結果に基づいて前記基準信号と比較信号に対応した第 1, 第 2 の位相差信号を出力する位相比較器と、前記第 1, 第 2 の位相差信号に基づいた制御電圧信号を前記電圧制御発振器に出力する請求項 1 乃至 14 のうちの何れか 1 項に記載のチャージポンプ回路とを備えた PLL 周波数シンセサイザ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は PLL 回路等に用いられるチャージポンプに関するものである。近年、マルチメディア化に伴いデータ量が増大の一途をたどっている。増大するデータ量を保存する記録媒体として大容量の光ディスクが注目され、LD、CD-ROM、MD、PD等が開発されている。そして、現在では CD-ROM と同じ大きさで約 7.5 倍の容量が実現できる DVD (Digital Video Disk) が開発されている。このように大容量の記録媒体を扱うデータ読み出し装置は、その読み出し速度の高速化等の性能向上が望まれている。そして、データ読み出し装置に用いられる PLL 回路においても、希望周波数へのロック時間短縮やロック後の周波

数安定等の性能向上が要求されている。

【0002】

【従来の技術】図19は、従来のPLL回路10を示す。PLL回路10は、位相比較器11、チャージポンプ12、ローパスフィルタ(LPF)13、電圧制御発振器(VCO)14及び分周回路15を備えている。

【0003】位相比較器11には、所定周波数の基準信号RINと分周回路15から分周信号FINが入力される。位相比較器11は、基準信号RINと分周信号FINとの位相差に応じたパルス幅の第1、第2位相差信号UP、DNをチャージポンプ12に出力する。

【0004】チャージポンプ12は、位相比較器11から出力される第1、第2位相差信号UP、DNに基づいて、出力信号CoをLPF13に出力する。この出力信号Coは、前記位相差信号UP、DNのパルス幅に応じて変化する。

【0005】LPF13は、チャージポンプ12の出力信号Coを平滑した直流電圧を出力信号LoとしてVCO14に出力する。VCO14は、LPF13の出力信号Loの電圧値に応じた周波数の出力信号Foutを外部回路に出力する。また、VCO14は、出力信号Foutを分周回路15に出力する。分周回路15は、VCO14の出力信号Foutを分周した分周信号FINを前記位相比較器11に出力する。

【0006】図22は、位相比較器11の回路図を示す。位相比較器11は、4個の第1～第4D型フリップフロップ(第1～第4DFという)21～24、排他的論理和(EOR)回路25、26を備えている。位相比較器11は、基準信号RINと分周信号FINの位相差に基づいて、第1、第2位相差UP、DNを出力する。

【0007】位相比較器11は、所定の期間だけLレベルの第1位相差信号UPを出力する。更に、位相比較器11は、基準信号RINと分周信号FINの位相差に応じた期間だけHレベルの第2位相差信号DNを出力する。

【0008】図23～図25は、位相比較器11における各信号のタイミングチャートである。図23に示すように、基準信号RINと分周信号FINの立ち上がりが揃っている場合、両信号RIN、FINの位相は合っている。この時、位相比較器11は、同一パルス幅の第1、第2位相差信号UP、DNを出力する。

【0009】又、図24に示すように、基準信号RINの立ち上がりが分周信号FINのそれよりも遅い場合、基準信号RINに対して分周信号FINの位相が進んでいる。この時、位相比較器11は、第2位相差信号DNのパルス幅よりも短いパルス幅の第1位相差信号UPを出力する。

【0010】更に又、図25に示すように、基準信号RINの立ち上がりが分周信号FINのそれよりも早い場合、基準信号RINに対して分周信号FINの位相が遅

れている。この時、位相比較器11は、第2位相差信号DNのパルス幅よりも長いパルス幅の第1位相差信号UPを出力する。

【0011】図20に示すように、チャージポンプ12は、PチャネルMOSトランジスタ(以下、PMOSTランジスタという)TP1とNチャネルMOSトランジスタ(以下、NMOSTランジスタという)TN1を含む。両トランジスタTP1、TN1は、高電位電源VDDのための第1電源線L1と低電位電源VSSのための第2電源線L2の間に直列接続されている。

【0012】PMOSTランジスタTP1は、そのソースに高電位電源VDDが供給され、ドレインはNMOSTランジスタTN1のドレインに接続されている。NMOSTランジスタTN1はソースに低電位電源VSSが供給される。PMOSTランジスタTP1はゲートに前記第1位相差信号UPが入力され、NMOSTランジスタTN1はゲートに前記第2位相差信号DNが入力される。両トランジスタTP1、TN2のドレインが接続されたノードN1はチャージポンプ12の出力端子であって、該端子から出力信号Coを出力する。

【0013】PMOSTランジスタTP1は、Lレベルの第1位相差信号UPにตอบสนองしてオンする。チャージポンプ12は、第1電源線L1からオンしたPMOSTランジスタTP1を介してLPF13に電流を流す。即ち、チャージポンプ12は、Lレベルの第1位相差信号UPにตอบสนองしてチャージ動作し、LPF13の電荷量を増加させる。LPF13は、抵抗とコンデンサを含む構成である。LPF13は、電荷量が増加することにより、出力信号Loの電圧を上昇させる。

【0014】NMOSTランジスタTN1は、Hレベルの第2位相差信号DNにตอบสนองしてオンする。チャージポンプ12は、LPF13からオンしたNMOSTランジスタTN1を介して第2電源線L2に電流を流す。即ち、チャージポンプ12は、Hレベルの第2位相差信号DNにตอบสนองしてディスチャージ動作し、LPF13に蓄えられた電荷量を減少させる。LPF13は、電荷量が減少することにより、出力信号Loの電圧を下降させる。

【0015】即ち、チャージポンプ12は、第1、第2位相差信号UP、DNにตอบสนองしてLPF13に対してチャージ/ディスチャージを行い、LPF13の出力信号Loの電圧値を上昇/下降させる。

【0016】前記第1、第2位相差信号UP、DNのパルス幅は、基準信号RINと分周信号FINの位相差に対応している。そして、チャージポンプ12は、第1、第2位相差信号UP、DNがL又はHレベルである期間、チャージ/ディスチャージ動作を行う。このようにして、チャージポンプ12は、基準信号RINと分周信号FINの位相差に応じてLPF13の出力信号Loの電圧値を上昇/下降させる。

【0017】図23に示すように、基準信号RINと分周信号FINの位相が合っている場合、位相比較器11は同一パルス幅の第1、第2位相差信号UP、DNを出力する。従って、チャージポンプ12は、同じ期間だけチャージとディスチャージを行う。即ち、チャージポンプ12は、LPF13に対して電流I(Co)の吐き出し(＋側)と電流I(Co)の吸い込み(－側)を同じ期間だけ行う。

【0018】これにより、LPF13の出力信号Loの電圧V(Lo)は、変化しない、即ち、同じ電圧に保持される。図19のVCO14は、LPF13の出力信号Loが同じ電圧に保持されることから、出力信号Foutの周波数を保持する。

【0019】図25に示すように、分周信号FINの位相が基準信号RINのそれよりも遅れている場合、位相比較器11は、第2位相差信号DNのパルス幅よりも長いパルス幅の第1位相差信号UPを出力する。従って、チャージポンプ12は、チャージをディスチャージよりも長く行う。即ち、チャージポンプ12は、LPF13に対して電流I(Co)の吐き出し(＋側)を電流I(Co)の吸い込み(－側)よりも長い期間行う。これにより、LPF13は出力信号Loの電圧V(Lo)を上昇させる。図19のVCO14は、LPF13の出力信号Loにตอบสนองして出力信号Foutの周波数を高くする。

【0020】図24に示すように、分周信号FINの位相が基準信号RINのそれよりも進んでいる場合、位相比較器11は、第2位相差信号DNのパルス幅よりも短いパルス幅の第1位相差信号UPを出力する。従って、チャージポンプ12は、チャージをディスチャージよりも短く行う。即ち、チャージポンプ12は、LPF13に対して電流I(Co)の吐き出し(＋側)よりも電流I(Co)の吸い込み(－側)を長い期間行う。これにより、LPF13は出力信号Loの電圧V(Lo)を下降させる。図19のVCO14は、LPF13の出力信号Loにตอบสนองして出力信号Foutの周波数を低くする。

【0021】このような動作を繰り返し行うことにより、PLL回路10は、VCO14から出力される出力信号Foutの周波数を所望の周波数に一致させる、所謂ロックする。

【0022】

【発明が解決しようとする課題】ところで、図20のチャージポンプ12は、MOS型FET(電界効果トランジスタ)よりなる両トランジスタTP1、TN1を直列に接続して構成される。そのため、チャージポンプ12は、両トランジスタTP1、TN1の抵抗成分により、図21(a)に示すように、第1、第2電源線L1、L2間に第1、第2抵抗R1、R2を直列接続した等価回路となる。

【0023】そして、高電位電源VDDと低電位電源VSSの電圧差が一定であることから、図21(b)、図21

(c)に示すように、出力信号Coを出力するための抵抗R1、R2の接続点であるノードN1の電位により、第1、第2抵抗R1、R2の両端の電位差が変化する。例えば、ノードN1の電位が高電位電源VDDに近い(電位が高い)と、第1抵抗R1の両端の電位差は、第2抵抗R2のそれよりも小さくなる。逆に、ノードN1の電位が低電位電源VSSに近い(電位が低い)と、第1抵抗R1の両端の電位差は、第2抵抗R2のそれよりも大きくなる。

10 【0024】第1、第2抵抗R1、R2の両端の電位差は、図20の各トランジスタTP1、TN1のソース・ドレイン間の電位差であり、その電位差は各トランジスタTP1、TN2の駆動能力に影響を与える。即ち、両トランジスタTP1、TN1は、ソース・ドレイン間の電位差が大きいほど高いほど駆動能力が大きく、電位差が小さいほど駆動能力が小さい。そして、両トランジスタTP1、TN1は、駆動能力が高い場合に多くの電流を流し、駆動能力が低い場合に少しの電流を流す。

20 【0025】この両トランジスタTP1、TN1の駆動能力は、PLL回路10の動作に次のような影響を与える。先ず、図21(b)に示すノードN1の電位が高い場合について説明する。今、図19の基準信号RINの位相と分周信号FINの位相が合っているものとする。両トランジスタTP1、TN1は、ゲートに入力される同一パルス幅の第1、第2位相差信号UP、DNにตอบสนองして同じ期間チャージ/ディスチャージを行う。

【0026】しかしながら、図20のNMOSTランジスタTN1の駆動能力は、PMOSTランジスタTP1のそれよりも大きい。そのため、NMOSTランジスタTN1の流す電流量は、PMOSTランジスタTP1の流す電流量よりも大きい。その結果、チャージ量に比べてディスチャージ量が多くなる。

【0027】図27は、両トランジスタTP1、TN1のチャージ量/ディスチャージ量を、ノードN1における電圧V(N1)の高低と、基準信号RINと分周信号FINの位相の状態よりなるマトリックスにて示す。図27において、波形内に記載した数字は、両トランジスタTP1、TN1の駆動能力とチャージ/ディスチャージを行う時間に基づくチャージ量とディスチャージ量の比率を示す。

40 【0028】例えば、図面中央(位相が合っており、ノードN1の電圧V(N1)は高電位電源VDDと低電位電源VSSの中間付近)の場合、PMOSTランジスタTP1によるチャージ量とNMOSTランジスタTN1によるディスチャージ量の比率は、4:4である。

【0029】そして、上記のノードN1の電圧が高く、基準信号RINの位相と分周信号FINの位相が合っている場合は、図27の下段中央に示すように、チャージ量とディスチャージ量の比率は2:6となる。

50 【0030】これにより、図19のLPF13は出力信

号L_oの電圧V(L_o)を下降させる。VCO14は、LPF13の出力信号L_oにตอบสนองして出力信号F_{out}の周波数を低くする。

【0031】このことは、PLL回路10の誤動作を招く。即ち、PLL回路10は、基準信号R_{IN}と分周信号F_{IN}の位相が合っていて周波数が同じであるにも関わらず、出力信号F_{out}の周波数を低くする。従って、PLL回路10は、位相比較器11の動作とチャージポンプ12の動作が一致しないアンバランスが生じる。これにより、出力信号F_{out}のロックがはずれてしまうという誤動作を生じる。

【0032】また、図19の分周信号F_{IN}の位相が基準信号R_{IN}の位相より遅れているものとする。位相比較器11は、図26(b)に示すように、第2位相差信号DNのパルス幅よりも長いパルス幅の第1位相差信号UPを出力する。従って、PMOSトランジスタTP1が行うチャージの時間は、NMOSトランジスタTN1が行うディスチャージの時間よりも長い。

【0033】しかしながら、図20のNMOSトランジスタTN1の駆動能力は、PMOSトランジスタTP1のそれよりも大きい。そのため、NMOSトランジスタTN1の流す電流量は、PMOSトランジスタTP1の流す電流量よりも大きい。その結果、図27左下に示すように、チャージ量とディスチャージ量の比率は3:3、即ちチャージ量とディスチャージ量が等しくなる。その為、図19のLPF13は出力信号L_oの電圧V(L_o)を一定に保つ。VCO14は、LPF13の出力信号L_oにตอบสนองして出力信号F_{out}の周波数をそれ以前の周波数に保つ。

【0034】これにより、PLL回路10は、分周信号F_{IN}の位相が遅れているにも関わらず、出力信号F_{out}の周波数を変化させない。そのため、PLL回路10は、何時までも出力信号F_{out}の周波数を所定の周波数に合わせることができない。

【0035】更に又、図19の分周信号F_{IN}の位相が基準信号R_{IN}の位相より進んでいるものとする。位相比較器11は、図26(c)に示すように、第1位相差信号UPのパルス幅よりも長いパルス幅の第2位相差信号DNを出力する。従って、NMOSトランジスタTN1が行うディスチャージの時間は、第1トランジスタTP1が行うチャージの時間よりも長い。

【0036】更に、図20のNMOSトランジスタTN1の駆動能力は、PMOSトランジスタTP1のそれよりも大きい。そのため、NMOSトランジスタTN1の流す電流量は、PMOSトランジスタTP1の流す電流量よりも大きい。その結果、図27右下に示すように、チャージ量とディスチャージ量の比率は1:9、即ちチャージ量に比べてディスチャージ量のはるかに大きくなる。その為、図19のLPF13は出力信号L_oの電圧V(L_o)を急激に下降させる。VCO14は、LPF13

の出力信号L_oにตอบสนองして出力信号F_{out}の周波数を急激に低下させる。

【0037】その結果、PLL回路10は、所望の周波数に対する出力信号F_{out}の周波数のオーバーシュート(アンダーシュート)を大きくする。このことは、出力信号F_{out}をロックするまでに長時間を要する、即ちロックアップタイムを長くする。

【0038】ノードN1の電位が低い場合、PMOSトランジスタTP1の駆動能力はNMOSトランジスタTN1のそれよりも大きい。そして、図19の分周信号F_{IN}の位相が基準信号R_{IN}の位相より遅れている場合、チャージポンプ12は、図28左上に示すように、チャージ量とディスチャージ量の比率を9:1にする。これにより、VCO14は、LPF13の出力信号L_oにตอบสนองして出力信号F_{out}の周波数を急激に上昇させる。このことは、PLL回路10のロックアップタイムを長くする。

【0039】また、図19の分周信号F_{IN}の位相が基準信号R_{IN}の位相より進んでいる場合、チャージポンプ12は、図28右上に示すように、チャージ量とディスチャージ量の比率を同じにする。これにより、VCO14は、LPF13の出力信号L_oにตอบสนองして出力信号F_{out}の周波数を変更しない。そのため、PLL回路10は、出力信号F_{out}を所定の周波数にロックすることができない。

【0040】これに対し、PLL回路には、図28に示す位相比較器30が用いられるものがある。この位相比較器30は、9個の第1～第9ナンド回路30a～30iを備えている。第2及び第3ナンド回路30b、30cとで、第1フリップフロップ31を、第4及び第5ナンド回路30d、30eとで第2フリップフロップ32を構成している。

【0041】上記の位相比較器30は、図29(a)に示すように、基準信号R_{IN}の位相よりも分周信号F_{IN}の位相が遅れている場合に、その位相差に応じたパルス幅の第1位相差信号UPを出力する。この時、位相比較器30は、一定レベルの第2位相差信号DNを出力する。尚、この第2位相差信号DNは、図示しないインバータ回路にて反転されて図20のチャージポンプ12に含まれるNMOSトランジスタTN1のゲートに印加される。

【0042】また、位相比較器30は、図29(b)に示すように、基準信号R_{IN}の位相よりも分周信号F_{IN}の位相が進んでいる場合に、その位相差に応じたパルス幅の第2位相差信号DNを出力する。この時、位相比較器30は、一定レベルの第1位相差信号UPを出力する。

【0043】そして、位相比較器30は、基準信号R_{IN}の位相と分周信号F_{IN}の位相が合っている場合に、一定レベルの第1、第2位相差信号UP、DNを出力す

る。図20のチャージポンプ12は、一定レベルの第1, 第2位相差信号UP, DNに应答してチャージ/ディスチャージを行わない。その結果、図30に示すように、位相が合っている場合にチャージ/ディスチャージが行われないことから、PLL回路は、出力信号Foutの周波数を保持する。これにより、出力信号Foutのロックがはずれる誤動作が防止される。

【0044】また、位相比較器30は、分周信号FINの位相が遅れている場合に位相差に対応するパルス幅の第1位相差信号UPと、一定レベルの第2位相差信号DNを出力する。この第1, 第2位相差信号UP, DNに应答し、チャージポンプ12は、チャージ動作のみを行い、LPF13の出力信号Loの電圧を上昇させる。この出力信号Loに应答してVCO14は出力信号Foutの周波数を高くする。

【0045】しかしながら、図20のノードN1の電圧V(N1)が高い場合、PMOSトランジスタTP1の駆動能力が低いため、チャージ量は少ない。これにより、チャージポンプ12は、LPF13の出力信号Loの電圧をごく僅か上昇させる。そして、VCO14は、LPF13の出力信号Loに应答して、出力信号Foutの周波数をごく僅か高くする。その結果、PLL回路10は、出力信号Foutをロックさせることができるものの、そのロックまでの時間、所謂ロックアップタイムが非常に長いという問題がある。

【0046】本発明は上記問題点を解決するためになされたものであって、その目的は吐き出しと吸い込みのバランスをとることができるチャージポンプ回路を提供することにある。

【0047】また、吐き出しと吸い込みのバランスの良いチャージポンプ回路を用いて、ロック時間の短縮を図ることができるとともに、周波数安定度を高めることのできるPLL回路、及び、PLL周波数シンセサイザを提供することにある。

【0048】

【課題を解決するための手段】図1は本発明の原理説明図である。すなわち、チャージポンプ回路は、チャージ/ディスチャージ回路1、検出回路4、補正回路5を備える。チャージ/ディスチャージ回路1は、第1のパルス信号UPに应答してチャージ動作を行う吐き出し回路2と、第2のパルス信号DNに应答してディスチャージ動作を行う吸い込み回路3を含む。そして、チャージ/ディスチャージ回路1は、吐き出し回路2と吸い込み回路3の接続点を出力端子として該端子からチャージ動作とディスチャージ動作に基づく電圧の出力信号Coを出力する。検出回路4は、出力端子に接続され、吐き出し回路2と吸い込み回路3の状態を検出し、その検出結果に応じた制御信号を出力する。補正回路5は、制御信号に基づいて吐き出し回路2と吸い込み回路3を制御し、吐き出し回路2のチャージ量と吸い込み回路3のディス

チャージ量とのバランスを補正する。

【0049】請求項2に記載の発明は、請求項1に記載のチャージポンプ回路において、前記検出回路は、前記出力端子の電位に基づいて前記吐き出し回路と吸い込み回路の状態を検出して前記制御信号を出力し、前記補正回路は、前記制御信号に基づいて、前記出力端子の電位が高い場合には吸い込み回路の駆動能力又は導通度を下げ、前記出力端子の電位が低い場合には吐き出し回路の駆動能力又は導通度を下げるように前記吸い込み回路及び吐き出し回路を制御した。

【0050】請求項3に記載の発明は、請求項1に記載のチャージポンプ回路において、前記検出回路は、吐き出し回路、吸い込み回路にかかる電位差を検知し、電位差に基づく前記制御信号を出力し、前記補正回路は、吐き出し回路側の電位差が高い場合には吐き出し回路の駆動能力又は導通度を下げ、逆に吸い込み回路側の電位差が高い場合には吸い込み回路の駆動能力又は導通度を下げるように前記吸い込み回路及び吐き出し回路を制御した。

【0051】請求項4に記載の発明は、請求項1に記載のチャージポンプ回路において、前記検出回路は、吐き出し回路、吸い込み回路に流れる電流量を検知し、電位差に基づく前記制御信号を出力し、前記補正回路は、吐き出し電流の方が多い場合には吐き出し回路の駆動能力又は導通度を下げ、吸い込み電流の方が多い場合には吸い込み回路の駆動能力又は導通度を下げるように前記吸い込み回路及び吐き出し回路を制御した。

【0052】請求項5に記載の発明は、請求項1に記載のチャージポンプ回路において、前記検出回路は、前記出力端子の電位に基づいて前記吐き出し回路と吸い込み回路の状態を検出して前記制御信号を出力し、前記補正回路は、前記制御信号に基づいて、前記出力端子の電位が高い場合には吐き出し回路の駆動能力又は導通度を上げ、前記出力端子の電位が低い場合には吸い込み回路の駆動能力又は導通度を上げるように前記吸い込み回路及び吐き出し回路を制御した。

【0053】請求項6に記載の発明は、請求項1に記載のチャージポンプ回路において、前記検出回路は、吐き出し回路、吸い込み回路にかかる電位差を検知し、電位差に基づく前記制御信号を出力し、前記補正回路は、吐き出し回路側の電位差が高い場合には吸い込み回路の駆動能力又は導通度を上げ、逆に吸い込み回路側の電位差が高い場合には吐き出し回路の駆動能力又は導通度を上げるように前記吸い込み回路及び吐き出し回路を制御した。

【0054】請求項7に記載の発明は、請求項1に記載のチャージポンプ回路において、前記検出回路は、吐き出し回路、吸い込み回路に流れる電流量を検知し、電位差に基づく前記制御信号を出力し、前記補正回路は、吐き出し電流の方が多い場合には吸い込み回路の駆動能力

又は導通度を上げ、吸い込み電流の方が多い場合には吐き出し回路の駆動能力又は導通度を上げるように前記吸い込み回路及び吐き出し回路を制御した。請求項 8 に記載の発明は、請求項 2 乃至 7 のうちの何れか 1 項に記載のチャージポンプ回路において、前記吐き出し回路と前記吸い込み回路はそれぞれゲートに前記第 1、第 2 のパルス信号がそれぞれ入力される一対の第 1 トランジスタを含み、前記補正回路は、前記一対のトランジスタのゲートにドレインが接続され、ゲートに前記制御信号が入力される一対の第 2 トランジスタを含み、前記制御信号に基づいて前記一対の第 2 トランジスタをそれぞれ駆動して前記一対の第 1 トランジスタのゲート電圧を制御し、該一対の第 1 トランジスタの駆動能力又は導通度を変更するようにした。

【0055】請求項 9 に記載の発明は、請求項 8 に記載のチャージポンプ回路において、前記検出回路は、前記第 1 の吐き出し回路にかかる電位差を検知し、検知した電流量に応じた電圧の第 1 の制御信号を出力する第 1 のオペアンプと、前記第 1 の吸い込み回路にかかる電位差を検知し、検知した電流量に応じた電圧の第 2 の制御信号を出力する第 2 のオペアンプとを備え、前記補正回路は、前記第 1、第 2 の制御信号に基づいて前記一対の第 2 トランジスタを制御して前記一対の第 1 トランジスタのゲート電圧を制御するようにした。

【0056】請求項 10 に記載の発明は、請求項 8 に記載のチャージポンプ回路において、前記検出回路は、前記第 1 の吐き出し回路に流れる電流量を検知し、検知した電流量に応じた電圧の第 1 の検知信号を出力する第 1 の電流量検知手段と、前記第 1 の吸い込み回路に流れる電流量を検知し、検知した電流量に応じた電圧の第 2 の検知信号を出力する第 2 の電流量検知手段と、前記第 1、第 2 の検知信号を比較し、その比較結果を制御信号として出力する比較器とを備え、前記補正回路は、前記制御信号に基づいて前記一対の第 2 トランジスタを制御して前記一対の第 1 トランジスタのゲート電圧を制御するようにした。

【0057】請求項 11 に記載の発明は、請求項 2 乃至 7 のうちの何れか 1 項に記載のチャージポンプ回路において、前記吐き出し回路は、前記第 1 のパルス信号に基づいてチャージ動作を行う第 1 の吐き出し回路と、前記補正回路によりチャージ量が制御される第 2 の吐き出し回路とを備え、前記吸い込み回路は、前記第 2 のパルス信号に基づいてディスチャージ動作を行う第 1 の吸い込み回路と、前記補正回路によりディスチャージ量が制御される第 2 の吸い込み回路とを備えた。

【0058】請求項 12 に記載の発明は、請求項 11 に記載のチャージポンプ回路において、前記第 2 の吐き出し回路と前記第 2 の吸い込み回路を複数対備え、前記補正回路は、前記検出信号に基づいて動作させる前記第 2 の吐き出し回路と第 2 の吸い込み回路の対の数を変更す

るようにした。

【0059】請求項 13 に記載の発明は、請求項 11 又は 12 に記載のチャージポンプ回路において、前記検出回路は、前記第 1 の吐き出し回路にかかる電位差を検知し、検知した電流量に応じた電圧の第 1 の制御信号を出力する第 1 のオペアンプと、前記第 1 の吸い込み回路にかかる電位差を検知し、検知した電流量に応じた電圧の第 2 の制御信号を出力する第 2 のオペアンプとを備え、前記補正回路は、前記第 1 の制御信号に基づいて前記第 2 の吐き出し回路を制御し、前記第 2 の制御信号に基づいて前記第 2 の吸い込み回路を制御するようにした。

【0060】請求項 14 に記載の発明は、請求項 11 又は 12 に記載のチャージポンプ回路において、前記検出回路は、前記第 1 の吐き出し回路に流れる電流量を検知し、検知した電流量に応じた電圧の第 1 の検知信号を出力する第 1 の電流量検知手段と、前記第 1 の吸い込み回路に流れる電流量を検知し、検知した電流量に応じた電圧の第 2 の検知信号を出力する第 2 の電流量検知手段と、前記第 1、第 2 の検知信号を比較し、その比較結果を制御信号として出力する比較器とを備え、前記補正回路は、前記制御信号に基づいて前記第 2 の吐き出し回路又は前記第 2 の吸い込み回路を動作させるようにした。

【0061】請求項 15 に記載の発明は、基準信号と比較信号が入力され、基準信号と比較信号の位相差に基づくパルス幅の第 1、第 2 位相差信号を出力する位相比較器と、前記第 1、第 2 パルス信号として前記位相比較器から出力される前記第 1、第 2 位相差信号をそれぞれ入力し、前記第 1、第 2 位相差信号に基づく出力信号を出力する請求項 1 乃至 14 のうちの何れか 1 項に記載のチャージポンプ回路と、前記チャージポンプ回路から出力される出力信号の電圧値に応じた周波数信号を出力する電圧制御発信器と、前記周波数信号を分周して前記比較信号を出力する分周回路とを備えた。

【0062】請求項 16 に記載の発明は、入力される制御電圧信号の電圧値に応じた周波数信号を出力する電圧制御発信器と、所定周波数の発信信号を基準周波数に分周した基準信号を出力する基準分周器と、前記電圧制御発信器の周波数信号を分周した比較信号を出力する比較分周器と、前記基準信号の位相と前記比較信号の位相を比較し、その比較結果に基づいて前記基準信号と比較信号に対応した第 1、第 2 の位相差信号を出力する位相比較器と、前記第 1、第 2 の位相差信号に基づいた制御電圧信号を前記電圧制御発信器に出力する請求項 1 乃至 14 のうちの何れか 1 項に記載のチャージポンプ回路とを備えた。

【0063】（作用）従って、請求項 1 に記載の発明によれば、出力信号 C o の電圧に応じてアンバランスとなる吐き出し回路 2 のチャージ量と吸い込み回路 3 のディスチャージ量が検出回路 4 と補正回路 5 により補正される。

【0064】請求項2に記載の発明によれば、検出回路は、出力端子の電位に基づいて吐き出し回路と吸い込み回路の状態を検出して制御信号を出力する。補正回路は、制御信号に基づいて、出力端子の電位が高い場合には吸い込み回路の駆動能力又は導通度を下げ、出力端子の電位が低い場合には吐き出し回路の駆動能力又は導通度を下げるように吸い込み回路及び吐き出し回路を制御し、チャージ量とディスチャージ量のバランスが補正される。

【0065】請求項3に記載の発明によれば、検出回路は、吐き出し回路、吸い込み回路にかかる電位差を検知し、電位差に基づく制御信号を出力する。補正回路は、吐き出し回路側の電位差が高い場合には吐き出し回路の駆動能力又は導通度を下げ、逆に吸い込み回路側の電位差が高い場合には吸い込み回路の駆動能力又は導通度を下げるように吸い込み回路及び吐き出し回路を制御し、チャージ量とディスチャージ量のバランスが補正される。

【0066】請求項4に記載の発明によれば、検出回路は、吐き出し回路、吸い込み回路に流れる電流量を検知し、電位差に基づく制御信号を出力する。補正回路は、吐き出し電流の方が多い場合には吐き出し回路の駆動能力又は導通度を下げ、吸い込み電流の方が多い場合には、吸い込み回路の駆動能力又は導通度を下げるように吸い込み回路及び吐き出し回路を制御し、チャージ量とディスチャージ量のバランスが補正される。請求項5に記載の発明によれば、検出回路は、出力端子の電位に基づいて吐き出し回路と吸い込み回路の状態を検出して制御信号を出力する。

【0067】補正回路は、制御信号に基づいて、出力端子の電位が高い場合には吐き出し回路の駆動能力又は導通度を上げ、出力端子の電位が低い場合には吸い込み回路の駆動能力又は導通度を上げるように吸い込み回路及び吐き出し回路を制御し、チャージ量とディスチャージ量のバランスが補正される。

【0068】請求項6に記載の発明によれば、検出回路は、吐き出し回路、吸い込み回路にかかる電位差を検知し、電位差に基づく制御信号を出力する。補正回路は、吐き出し回路側の電位差が高い場合には吸い込み回路の駆動能力又は導通度を上げ、逆に吸い込み回路側の電位差が高い場合には吐き出し回路の駆動能力又は導通度を上げるように吸い込み回路及び吐き出し回路を制御し、チャージ量とディスチャージ量のバランスが補正される。

【0069】請求項7に記載の発明によれば、検出回路は、吐き出し回路、吸い込み回路に流れる電流量を検知し、電位差に基づく制御信号を出力する。補正回路は、吐き出し電流の方が多い場合には吸い込み回路の駆動能力又は導通度を上げ、吸い込み電流の方が多い場合には吐き出し回路の駆動能力又は導通度を上げるように吸い

込み回路及び吐き出し回路を制御し、チャージ量とディスチャージ量のバランスが補正される。

【0070】請求項8に記載の発明によれば、吐き出し回路と吸い込み回路はそれぞれゲートに第1、第2のバース信号がそれぞれ入力される一対の第1トランジスタを含む。補正回路は、一対のトランジスタのゲートにドレインが接続され、ゲートに制御信号が入力される一対の第2トランジスタを含み、制御信号に基づいて一対の第2トランジスタをそれぞれ駆動して一対の第1トランジスタのゲート電圧を制御してチャージ量とディスチャージ量を変更し、チャージ量とディスチャージ量のバランスが補正される。

【0071】請求項9に記載の発明によれば、検出回路は、第1の吐き出し回路にかかる電位差を検知し、検知した電流量に応じた電圧の第1の制御信号を出力する第1のオペアンプと、第1の吸い込み回路にかかる電位差を検知し、検知した電流量に応じた電圧の第2の制御信号を出力する第2のオペアンプとを備える。そして、補正回路は、第1、第2の制御信号に基づいて一対の第2トランジスタを制御して一対の第1トランジスタのゲート電圧を制御し、チャージ量とディスチャージ量の補正量が変更される。

【0072】請求項10に記載の発明によれば、検出回路は、第1の吐き出し回路に流れる電流量を検知し、検知した電流量に応じた電圧の第1の検知信号を出力する第1の電流量検知手段と、第1の吸い込み回路に流れる電流量を検知し、検知した電流量に応じた電圧の第2の検知信号を出力する第2の電流量検知手段と、第1、第2の検知信号を比較し、その比較結果を制御信号として出力する比較器とを備える。そして、補正回路は、制御信号に基づいて一対の第2トランジスタを制御して一対の第1トランジスタのゲート電圧を制御し、チャージ量とディスチャージ量の補正量を変更される。

【0073】請求項11に記載の発明によれば、吐き出し回路は、第1のバース信号に基づいてチャージ動作を行う第1の吐き出し回路と、補正回路によりチャージ量が制御される第2の吐き出し回路が備えられる。吸い込み回路は、第2のバース信号に基づいてディスチャージ動作を行う第1の吸い込み回路と、補正回路によりディスチャージ量が制御される第2の吸い込み回路が備えられる。そして、第2の吐き出し回路と第2の吸い込み回路によりチャージ量とディスチャージ量が補正される。

【0074】請求項12に記載の発明によれば、第2の吐き出し回路と第2の吸い込み回路を複数対備えられる。補正回路は、検出信号に基づいて動作させる第2の吐き出し回路と第2の吸い込み回路の対の数を変更し、チャージ量とディスチャージ量の補正量を変更される。

【0075】請求項13に記載の発明によれば、検出回路は、第1の吐き出し回路にかかる電位差を検知し、検

知した電流量に応じた電圧の第1の制御信号を出力する第1のオペアンプと、第1の吸い込み回路にかかる電位差を検知し、検知した電流量に応じた電圧の第2の制御信号を出力する第2のオペアンプとを備える。そして、補正回路は、第1の制御信号に基づいて第2の吐き出し回路を制御し、第2の制御信号に基づいて第2の吸い込み回路を制御し、チャージ量とディスチャージ量の補正量を変更される。

【0076】請求項14に記載の発明によれば、検出回路は、第1の吐き出し回路に流れる電流量を検知し、検知した電流量に応じた電圧の第1の検知信号を出力する第1の電流量検知手段と、第1の吸い込み回路に流れる電流量を検知し、検知した電流量に応じた電圧の第2の検知信号を出力する第2の電流量検知手段と、第1、第2の検知信号を比較し、その比較結果を制御信号として出力する比較器とを備える。そして、補正回路は、制御信号に基づいて第2の吐き出し回路又は第2の吸い込み回路を動作させ、チャージ量とディスチャージ量の補正量を変更される。

【0077】請求項15、16に記載の発明によれば、PLL回路、PLL周波数シンセサイザには、チャージ量とディスチャージ量のバランスが補正されたチャージポンプ回路が備えられ、ロック動作が安定するとともに、ロックまでの時間が短縮される。

【0078】

【発明の実施の形態】（第一実施形態）以下、本発明を具体化した第一実施形態を図2～図4に従って説明する。

【0079】図2は、第一実施形態のPLL回路40を示す。PLL回路40は、位相比較器11、チャージポンプ41、ローパスフィルタ(LPF)13、電圧制御発振器(VCO)14及び分周回路15を備えている。

【0080】位相比較器11には、所定周波数の基準信号RINと分周回路15から分周信号FINが入力される。位相比較器11は、基準信号RINと分周信号FINとの位相差に応じたパルス幅の第1、第2位相差信号UP、DNをチャージポンプ41に出力する。

【0081】チャージポンプ41は、位相比較器11から出力される第1、第2位相差信号UP、DNに基づいて、出力信号CoをLPF13に出力する。この出力信号Coは、前記位相差信号UP、DNのパルス幅に応じて変化する。

【0082】LPF13は、チャージポンプ41の出力信号Coを平滑した直流電圧を出力信号LoとしてVCO14に出力する。VCO14は、LPF13の出力信号Loの電圧値に応じた周波数の出力信号Foutを外周回路に出力する。また、VCO14は、出力信号Foutを分周回路15に出力する。分周回路15は、VCO14の出力信号Foutを分周した分周信号FINを前記位相比較器11に出力する。

【0083】図3は、第一実施形態のチャージポンプ41の回路図を示す。チャージポンプ41は、第1～第3PチャネルMOSトランジスタ(PMOSトランジスタ)TP1～TP3、第1～第3NチャネルMOSトランジスタ(NMOSトランジスタ)TN1～TN3、抵抗Rcを含む。

【0084】第1PMOSトランジスタTP1のソースは高電位電源VDDに接続され、ドレインは第1NMOSトランジスタTN1のドレインに接続されている。第1NMOSトランジスタTN1のソースは低電位電源VSSに接続されている。第1PMOSトランジスタTP1のドレインと第1NMOSトランジスタTN1のドレインが接続されたノードN1はチャージポンプ41の出力端子であって、該端子から出力信号Coを出力する。

【0085】第1PMOSトランジスタTP1は、ゲート電圧に基づいてオン又はオフする。オンした第1PMOSトランジスタTP1は、高電位電源VDDからノードN1を介して図2のLPF13に電流I(Co)を供給する。LPF13は、抵抗とコンデンサを含む構成であって、供給される電流I(Co)により電荷を蓄積する。

【0086】即ち、オンした第1PMOSトランジスタTP1は、LPF13に電荷をチャージする。このチャージされた電荷により、ノードN1の電圧、即ち、出力信号Coの電圧が決定される。そして、LPF13は、入力される出力信号Coを平滑した電圧の出力信号Loを出力する。従って、出力信号Loの電圧は、蓄積された電荷量に対応して高くなる。

【0087】第1NMOSトランジスタTN1は、ゲート電圧に基づいてオン又はオフする。オンした第1NMOSトランジスタTN1は、図2のLPF13からノードN1を介して低電位電源VSSに電流I(Co)を流す。これにより、LPF13の電荷量は減少する。

【0088】即ち、オンした第1NMOSトランジスタTN1は、LPF13から電荷をディスチャージする。そして、LPF13は、電荷量に対応する電圧の出力信号Loを出力する。従って、出力信号Loの電圧は、減少した電荷量に対応して低くなる。

【0089】以上により、第1PMOSトランジスタTP1と第1NMOSトランジスタTN1の直列回路は、LPF13に対して電荷のチャージ/ディスチャージを行うチャージ/ディスチャージ回路(C/D回路)42として作用する。そして、第1PMOSトランジスタTP1は、LPF13に電流を吐き出す吐き出し回路を形成し、第1NMOSトランジスタTN1は、LPF13から電流を吸い込む吸い込み回路を形成する。

【0090】前記ノードN1は、第2PMOSトランジスタTP2のゲートに接続されている。また、ノードN1は、第2NMOSトランジスタTN2のゲートに接続されている。

【0091】第2PMOSトランジスタTP2のソース

は高電位電源VDDの電源線に接続され、ドレインは抵抗R_cの第1端子に接続されている。抵抗R_cの第2端子は、第2NMOSトランジスタTN2のドレインに接続され、第2NMOSトランジスタTN2のソースは低電位電源VSSの電源線に接続されている。従って、第2PMOSトランジスタTP2と抵抗R_cと第2NMOSトランジスタTN2は、高電位電源VDDと低電位電源VSSの間に直列接続されている。

【0092】前記ノードN1の電圧、即ち、出力信号C_oは、第2PMOS、NMOSトランジスタTP2、TN2のゲートに印加される。両トランジスタTP2、TN2はFET構造であることから、ゲートに印加される電圧とソースに印可される電圧に応じたオン抵抗値を有する抵抗として等価になる。

【0093】両トランジスタTP2、TN2のゲートには同一の出力信号C_oが印可されている。第2PMOSトランジスタTP2は、ソースに高電位電源VDDが供給されている。従って、第2PMOSトランジスタTP2は、出力信号C_oの電圧と高電位電源VDDの電圧の差に応じたオン抵抗値を有する抵抗と等価になる。

【0094】また、第2NMOSトランジスタTN2のソースには低電位電源VSSが挙動されている。従って、第2NMOSトランジスタTN2は、出力信号C_oの電圧と低電位電源VSSの電圧の差に応じたオン抵抗値を有する抵抗と等価となる。

【0095】その等価回路を図4(a)に示す。第2PMOSトランジスタTP2は抵抗R_pとして表され、第2NMOSトランジスタTN2は抵抗R_nとして表される。そして、ノードN2、N3における電圧は、高電位電源VDDと低電位電源VSSの間の電位差を各抵抗R_p、R_c、R_nよりなる分圧抵抗により分圧した分圧電圧V₁、V₂(V_{1a}、V_{2a})となる。このノードN2、N3における分圧電圧V₁、V₂は、第2PMOS、NMOSトランジスタTP2、TN2の等価抵抗R_p、R_nの抵抗値、即ち出力信号C_oの電圧に対応している。

【0096】高電位電源VDDと低電位電源VSSの間の電位差は、一定である。抵抗R_cの抵抗値は一定である。前記出力信号C_oの電圧が高電位電源VDDと低電位電源VSSの中間電圧(=1/2(VDD+VSS))付近の場合、第2PMOSトランジスタTP2のゲート-ソース間電圧は、第2NMOSトランジスタTN2のそれとほぼ同じ値になる。従って、両トランジスタTP2、TN2のオン抵抗値は、ほぼ同じ値になる。従って、高電位電源VDDの電圧とノードN2における分圧電圧の差は、ノードN3における分圧電圧と低電位電源VSSの電圧の差とほぼ等しくなる。

【0097】前記出力信号C_oの電圧が高電位電源VDDの電圧に近い(中間電圧よりも高い)場合、図4(c)に示すように、第2PMOSトランジスタTP2のオン抵抗値は、第2NMOSトランジスタTN2のそれより

も大きくなる。従って、ノードN2、N3における分圧電圧V₁、V₂(V_{1c}、V_{2c})は、出力信号C_oの電圧が中間電圧付近の場合における第1、第2分圧電圧V_{1a}、V_{2a}に比べて低くなる。

【0098】前記出力信号C_oの電圧が低電位電源VSSの電圧に近い(中間電圧よりも低い)場合、図4(b)に示すように、第2PMOSトランジスタTP2のオン抵抗値は、第2NMOSトランジスタTN2のそれよりも小さくなる。従って、ノードN2、N3における分圧電圧V₁、V₂(V_{1b}、V_{2b})は、出力信号C_oの電圧が中間電圧付近の場合における分圧電圧V_{1a}、V_{2a}に比べて高くなる。

【0099】即ち、第2PMOS、NMOSトランジスタTP2、TN2と抵抗R_cの直列回路は、入力される出力信号C_oの電圧が高電位電源VDDに近い電圧か低電位電源VSSに近い電圧かを検出する検出回路43として作用する。この検出回路は、検出した出力信号C_oの電圧に対する検出結果として分圧電圧V₁(V_{1a}~V_{1c})、V₂(V_{2a}~V_{2c})を出力する。

【0100】図3に示すように、第2PMOSトランジスタTP2と抵抗R_cの間の接続点であるノードN2は、第3NMOSトランジスタTN3を介して第1NMOSトランジスタTN1のゲートに接続されている。第3NMOSトランジスタTN3のゲートには前記第2位相差信号DNが印加される。

【0101】第3NMOSトランジスタTN3は、第2位相差信号DNのレベル(電圧)に応答してオン又はオフするスイッチとして動作する。詳しくは、第3NMOSトランジスタTN3は、ゲートに印加されるHレベルの第2位相差信号DNに応答してオンする。そのオンした第3NMOSトランジスタTN3は、ノードN2を第1NMOSトランジスタTN1のゲートに接続する。従って、第1NMOSトランジスタTN1のゲートには、第2位相差信号DNがHレベルである間、ノードN2における電圧が印加される。

【0102】第2NMOSトランジスタTN2と抵抗R_cの間の接続点であるノードN3は、第3PMOSトランジスタTP3を介して第1PMOSトランジスタTP1のゲートに接続されている。第3PMOSトランジスタTP3のゲートには前記第1位相差信号UPが印加される。

【0103】第3PMOSトランジスタTP3は、第1位相差信号UPのレベル(電圧)に応答してオン又はオフするスイッチとして動作する。詳しくは、第3PMOSトランジスタTP3は、ゲートに印加されるLレベルの第1位相差信号UPに応答してオンする。そのオンした第3PMOSトランジスタTP3は、ノードN3を第1PMOSトランジスタTP1のゲートに接続する。従って、第1PMOSトランジスタTP1のゲートには、第1位相差信号UPがLレベルである間、ノードN3に

おける電圧が印加される。

【0104】第1 PMOS, NMOSトランジスタTP1, TN1は、ゲートに印加される分圧電圧V1, V2に応じた電流を流し、図2のLPF13に対するチャージ/ディスチャージ動作を行う。第1, 第2分圧電圧V1, V2は、出力信号C_oの電圧に対応している。詳しくは、第1分圧電圧V1は、第2 PMOSトランジスタTP2のゲートソース間電圧、即ち、出力信号C_oの電圧と高電位電源VDDの電圧との差に対応している。第2分圧電圧V2は、第2 NMOSトランジスタTN2のゲートソース間電圧、即ち、出力信号C_oの電圧と低電位電源VSSの電圧との差に対応している。

【0105】従って、第1 PMOSトランジスタTP1は、出力信号C_oの電圧と低電位電源VSSの電圧との差に対応した導通度となり、その導通度に応じた量の電流を流す。即ち、第1 PMOSトランジスタTP1は、その駆動能力（チャージ量）が前記検出回路43から検出結果として出力される第2分圧電圧V2により補正される。

【0106】また、第1 NMOSトランジスタTN1は、出力信号の電圧と高電位電源VDDの電圧の差に対応した導通度となり、その導通度に応じた量の電流を流す。即ち、第1 NMOSトランジスタTN1は、その駆動能力（チャージ量）が前記検出回路43から検出結果として出力される第1分圧電圧V1により補正される。

【0107】これにより、第3 PMOS, NMOSトランジスタTP3, TN3は、検出回路43の検出結果に基づいてC/D回路42におけるチャージ/ディスチャージ量を補正する補正回路44として作用する。

【0108】次に、上記のように構成されたチャージポンプ41の作用を、出力信号C_oの電圧に対応して説明する。

〔出力信号C_oの電圧V(N1)が高電位電源VDDと低電位電源VSSの中間電圧付近の場合〕この第1の場合、第2 PMOSトランジスタTP2のゲートソース間の電圧差は、第2 NMOSトランジスタTN2のそれとほぼ等しくなる。従って、第2 PMOSトランジスタTP2のオン抵抗値、即ち抵抗R_pの抵抗値は、第2 NMOSトランジスタTN2のオン抵抗値、即ち抵抗R_nの抵抗値とほぼ同じとなる。従って、検出回路43は、高電位電源VDDの電圧とノードN2における第1分圧電圧V1の差と、ノードN3における第2分圧電圧V2と低電位電源VSSの電圧の差をほぼ等しくする。

【0109】これにより、第1トランジスタTP1, TN1は、第1, 第2分圧電圧V1, V2の電圧に応じて導通度をほぼ等しくする。即ち、第1トランジスタTP1, TN1は、単位時間当たりに流す電流量、即ちチャージ量/ディスチャージ量をほぼ同じにする。

【0110】従って、チャージポンプ回路41は、第1, 第2位相差信号UP, DNのパルス幅に応じた量の

電荷をLPF13に対してチャージ/ディスチャージする。LPF13は、蓄えられた電荷量に基づく電圧の出力信号L_oを出力する。図2のVCO14は、LPF14からの出力信号L_oにตอบสนองして出力信号F_{out}の周波数を保持又は上昇/下降する。

【0111】〔出力信号C_oの電圧V(N1)が低電位電源VSSに近い電圧の場合〕この第2の場合、第2 PMOSトランジスタTP2のゲートソース間の電圧差は、第2 NMOSトランジスタTN2のそれよりも小さくなる。従って、検出回路43は、上記第1の場合に比べて高い第1, 第2分圧電圧V1b, V2b（図4（b）参照）を出力する。補正回路44は、第1分圧電圧V1bを第1 NMOSトランジスタTN1のゲートに印加し、第2分圧電圧V2bを第1 PMOSトランジスタTP1のゲートに印加する。

【0112】これにより、補正回路44は、第1 PMOSトランジスタTP1の導通度を第1 NMOSトランジスタTN1の導通度よりも低くする。即ち、第1 PMOSトランジスタTP1の駆動能力は小さくなり、第1 NMOSトランジスタTN1の駆動能力は大きくなる。

【0113】このことは、単位時間当たりのチャージ量を減少させ、ディスチャージ量を増加させる。その結果、チャージポンプ41は、従来のチャージポンプ12に比べて、チャージ量を少なくし、ディスチャージ量を多くする。これにより、チャージポンプ41は、単位時間当たりのチャージ量とディスチャージ量のバランスを補正する。

【0114】今、図2の基準信号R_{IN}と分周信号F_{IN}の位相が合っているものとする。この時、チャージポンプ回路41は、同一パルス幅の第1, 第2位相差信号UP, DNに基づいて、LPF13に対してほぼ同量の電荷をチャージ/ディスチャージする。これにより、LPF13から出力される出力信号L_oの電圧V(L_o)は、チャージポンプ41のチャージ/ディスチャージ量に基づいて変化しない。

【0115】従って、図2のVCO14は、LPF13の出力信号L_oの電圧にตอบสนองして出力信号F_{out}の周波数を保持する。これにより、PLL回路40は、従来のPLL回路10に比べてロックの安定度が増加する。

【0116】また、基準信号R_{IN}の位相に対して分周信号F_{IN}の位相が遅れているものとする。チャージポンプ41は、第1, 第2位相差信号UP, DNのパルス幅に応じた時間、それぞれチャージ/ディスチャージを行う。この時、図26（b）に示すように、第1位相差信号UPのパルス幅は、第2位相差信号DNのパルス幅よりも長い。そして、C/D回路42は、単位時間当たりにほぼ同量の電荷をチャージ/ディスチャージする。このことは、チャージポンプ41のチャージ量を多くし、LPF13の出力信号L_oの電圧V(L_o)を上昇させる。

【0117】その結果、出力信号Foutの周波数は上昇して目的の周波数に近づく。これにより、PLL回路40は、出力信号Foutの周波数を目的の周波数にロックさせることができる。

【0118】更にまた、基準信号RINの位相に対して分周信号FINの位相が進んでいるものとする。チャージポンプ41は、第1、第2位相差信号UP、DNのパルス幅に応じた時間、それぞれチャージ/ディスチャージを行う。この時、図26(c)に示すように、第1位相差信号UPのパルス幅は、第2位相差信号DNのパルス幅よりも短い。しかし、C/D回路42は、単位時間当たりにはほぼ同量の電荷をチャージ/ディスチャージする。このことは、チャージポンプ41のチャージ量を従来のチャージポンプ12のそれよりも減少させ、LPF13の出力信号Loの電圧V(Lo)が上昇する割合を少なくする。

【0119】その結果、出力信号Foutの周波数が目的の周波数を大きく超えることはない。これにより、PLL回路40は、出力信号Foutの周波数を目的の周波数にロックするまでのロックアップタイムを、従来のPLL回路10のそれに比べて短くすることができる。

【0120】[出力信号Coの電圧V(N1)が高電位電源VDDに近い電圧の場合] この第3の場合、第2PMOSトランジスタTP2のゲートソース間の電圧差は、第2NMOSトランジスタTN2のそれよりも大きくなる。従って、検出回路43は、上記第1の場合に比べて低い第1、第2分圧電圧V1c、V2c(図4(c)参照)を出力する。補正回路44は、第1分圧電圧V1cを第1NMOSトランジスタTN1のゲートに印加し、第2分圧電圧V2cを第1PMOSトランジスタTP1のゲートに印加する。

【0121】これにより、補正回路44は、第1NMOSトランジスタTN1の導通度を第1PMOSトランジスタTP1の導通度よりも低くする。即ち、第1PMOSトランジスタTP1の駆動能力は大きくなり、第1NMOSトランジスタTN1の駆動能力は小さくなる。

【0122】このことは、単位時間当たりのチャージ量を増加させ、ディスチャージ量を減少させる。これにより、チャージポンプ41は、従来のチャージポンプ12に比べて、チャージ量を多くし、ディスチャージ量を少なくする。即ち、チャージポンプ41は、単位時間当たりのチャージ量とディスチャージ量のバランスを補正する。

【0123】今、図2の基準信号RINと分周信号FINの位相が合っているものとする。この時、チャージポンプ回路41は、同一パルス幅の第1、第2位相差信号UP、DNに基づいて、LPF13に対してほぼ同量の電荷をチャージ/ディスチャージする。これにより、LPF13から出力される出力信号Loの電圧V(Lo)は、チャージポンプ41のチャージ/ディスチャージ量に基

づいて変化しない。

【0124】従って、図2のVCO14は、LPF13の出力信号Loの電圧にตอบสนองして出力信号Foutの周波数を保持する。これにより、PLL回路40は、従来のPLL回路10に比べてロックの安定度が増加する。

【0125】また、基準信号RINの位相に対して分周信号FINの位相が遅れているものとする。チャージポンプ41は、第1、第2位相差信号UP、DNのパルス幅に応じた時間、それぞれチャージ/ディスチャージを行う。この時、図26(b)に示すように、第1位相差信号UPのパルス幅は、第2位相差信号DNのパルス幅よりも長い。しかし、C/D回路42は、単位時間当たりにはほぼ同量の電荷をチャージ/ディスチャージする。このことは、チャージポンプ41のチャージ量を従来のチャージポンプ12のそれよりも減少させ、LPF13の出力信号Loの電圧V(Lo)が上昇する割合を少なくする。

【0126】その結果、出力信号Foutの周波数が目的の周波数を大きく超えることはない。これにより、PLL回路40は、出力信号Foutの周波数を目的の周波数にロックするまでのロックアップタイムを、従来のPLL回路10のそれに比べて短くすることができる。

【0127】更にまた、基準信号RINの位相に対して分周信号FINの位相が進んでいるものとする。チャージポンプ41は、第1、第2位相差信号UP、DNのパルス幅に応じた時間、それぞれチャージ/ディスチャージを行う。この時、図26(c)に示すように、第1位相差信号UPのパルス幅は、第2位相差信号DNのパルス幅よりも短い。そして、C/D回路42は、単位時間当たりにはほぼ同量の電荷をチャージ/ディスチャージする。このことは、チャージポンプ41のディスチャージ量を多くし、LPF13の出力信号Loの電圧V(Lo)を下降させる。

【0128】その結果、出力信号Foutの周波数は下降して目的の周波数に近づく。これにより、PLL回路40は、出力信号Foutの周波数を目的の周波数にロックさせることができる。

【0129】以上記述したように、第一実施形態によれば、以下の効果を奏する。

(1) 検出回路43は、出力端子となるノードN1の電位に応じた第1、第2分圧電圧V1、V2を生成する。補正回路44は、第1、第2位相差信号UP、DNに基づいて、第2分圧電圧V2をC/D回路42の第1PMOSトランジスタTP1のゲートに印加し、第1分圧電圧V1を第1NMOSトランジスタTN1のゲートに印加するようにした。これにより、出力信号Coの電圧が高い場合、第1NMOSトランジスタTN1の導通度は、第1PMOSトランジスタTP1の導通度よりも低くなる。その結果、チャージポンプ41は、従来のチャージポンプ12に比べて、チャージ量を多くし、ディス

チャージ量を少なくする。即ち、チャージポンプ41は、単位時間当たりのチャージ量とディスチャージ量のバランスを補正することができる。

【0130】また、出力信号C_oの電圧が低い場合、第1PMOSトランジスタTP1の導通度は、第1NMOSトランジスタTN1の導通度よりも低くなる。その結果、チャージポンプ41は、従来のチャージポンプ12に比べて、ディスチャージ量を多くし、チャージ量を少なくする。即ち、チャージポンプ41は、単位時間当たりのチャージ量とディスチャージ量のバランスを補正することができる。

【0131】(2) 上記のチャージポンプ41は、チャージ量とディスチャージ量のバランスが合っている。そのため、基準信号R_{IN}と分周信号F_{IN}の位相が合っている場合、チャージポンプ41は、チャージ量とほぼ同じだけディスチャージ量を行うため、出力信号C_oの電圧をほとんど変化させない。その結果、VCO14は、出力信号F_{out}の周波数をほとんど変化させないため、PLL回路40のロックの安定度を高くすることができる。

【0132】(3) 基準信号R_{IN}の位相に対して分周信号F_{IN}の位相がずれている場合、チャージポンプ41は、第1、第2位相差信号UP、DNのパルス幅に応じた時間、それぞれチャージ/ディスチャージを行う。チャージポンプ41は、第1、第2位相差信号UP、DNのパルス幅に応じてLPF13の出力信号L_oの電圧V(L_o)を上昇又は下降させる。その結果、出力信号F_{out}の周波数は上昇又は下降して目的の周波数に近づくため、PLL回路40は、出力信号F_{out}の周波数を目的の周波数にロックさせることができる。

【0133】尚、図3において、スイッチとして第3PMOSトランジスタTP3、第3NMOSトランジスタTN3を用いたが、NMOSトランジスタをノードN3と第1PMOSトランジスタTP1のゲートとの間に接続し、PMOSトランジスタをノードN2と第1NMOSトランジスタTN1のゲートとの間に接続する構成としてもよい。また、スイッチを一對のPMOSトランジスタとNMOSトランジスタよりなるトランスファゲートを用いて実施してもよい。これらの場合、PMOSトランジスタのゲートには、インバータ回路等を用いて第1、第2位相差信号UP、DNを反転して印加する必要がある。

【0134】(第二実施形態) 以下、本発明を具体化した第二実施形態を図5～図7に従って説明する。図5は、本実施形態のチャージポンプ51のブロック回路図を示す。このチャージポンプ51は、図2のPLL回路10のチャージポンプ41に代えて用いられる。

【0135】チャージポンプ51は、第1～第3PMOSトランジスタTP11～13、第1～第3NMOSトランジスタTN11～TN13、A/D (アナログーデ

ィジタル) 変換回路52、及び、デコーダ53を含む。

【0136】第1PMOSトランジスタTP11のソースは高電位電源VDDに接続され、ドレインは第1NMOSトランジスタTN11のドレインに接続されている。第1NMOSトランジスタTN11のソースは低電位電源VSSに接続されている。第1PMOSトランジスタTP11のドレインと第1NMOSトランジスタTN11のドレインが接続されたノードN1はチャージポンプ51の出力端子であって、該端子から出力信号C_oを出力する。

【0137】第1PMOSトランジスタTP11のゲートには、図2の位相比較器11から出力される第1位相差信号UPが入力される。第1PMOSトランジスタTP11は、第1位相差信号UPに基づいてオン又はオフする。オンした第1PMOSトランジスタTP11は、高電位電源VDDからノードN1を介して図2のLPF13に電流I(C_o)を供給する。LPF13は、抵抗とコンデンサ含む構成であって、供給される電流I(C_o)により電荷を蓄積する。

【0138】即ち、オンした第1PMOSトランジスタTP11は、LPF13に電荷をチャージする。そして、LPF13は、蓄積した電荷量に対応する電圧の出力信号L_oを出力する。従って、出力信号L_oの電圧は、蓄積された電荷量に対応して高くなる。

【0139】第1NMOSトランジスタTN11のゲートには、図2の位相比較器11から出力される第2位相差信号DNが入力される。第1NMOSトランジスタTN11は、第2位相差信号DNに基づいてオン又はオフする。オンした第1NMOSトランジスタTN11は、図2のLPF13からノードN1を介して低電位電源VSSに電流I(C_o)を流す。これにより、LPF13の電荷量は減少する。

【0140】即ち、オンした第1NMOSトランジスタTN11は、LPF13から電荷をディスチャージする。そして、LPF13は、電荷量に対応する電圧の出力信号L_oを出力する。従って、出力信号L_oの電圧は、減少した電荷量に対応して低くなる。

【0141】以上により、第1PMOSトランジスタTP11と第1NMOSトランジスタTN11の直列回路は、LPF13に対して電荷のチャージ/ディスチャージを行う第1のチャージ/ディスチャージ回路(C/D回路)54として作用する。そして、第1PMOSトランジスタTP11は、LPF13に電流を吐き出す第1吐き出し回路を形成し、第1NMOSトランジスタTN11はLPF13から電流を吸い込む第1吸い込み回路を形成する。

【0142】第1PMOSトランジスタTP11には、直列接続された第2、第3PMOSトランジスタTP12、TP13が並列に接続されている。即ち、第1トランジスタTP1のドレインが接続されたノードN1に

は、第2トランジスタTP12のドレインが接続され、第2トランジスタTP2のソースは第3トランジスタTP13のドレインに接続されている。第3トランジスタTP13のソースには高電位電源VDDが印加されている。

【0143】第2PMOSトランジスタTP12のゲートには、前記第1位相差信号UPが入力される。従って、第2PMOSトランジスタTP12は、第1位相差信号UPにตอบสนองして、前記第1PMOSトランジスタTP11と同時にオンオフする。

【0144】第3PMOSトランジスタTP13のゲートには、後述するデコーダ53から出力される第1制御信号S1が入力される。第3PMOSトランジスタTP13は、第1制御信号S1にตอบสนองしてオンオフする。

【0145】第2、第3PMOSトランジスタTP12、TP13が同時にオンした場合、該第2、第3トランジスタTP12、TP13は、高電位電源VDDから図2のLPF13に電流I(Co)を供給する。LPF13は、抵抗とコンデンサよりなる積分回路であって、供給される電流I(Co)により電荷を蓄積する。

【0146】即ち、オンした第2、第3PMOSトランジスタTP12、TP13は、LPF13に電荷をチャージする。そして、LPF13は、蓄積した電荷量に対応する電圧の出力信号Loを出力する。従って、出力信号Loの電圧は、蓄積された電荷量に対応して高くなる。

【0147】第1NMOSトランジスタTN11には、直列接続された第2、第3NMOSトランジスタTN12、TN13が並列に接続されている。即ち、第1トランジスタTN11のドレインが接続されたノードN1には、第2トランジスタTN12のドレインが接続され、第2トランジスタTN12のソースは第3トランジスタTN13のドレインに接続されている。第3トランジスタTN13のソースには低電位電源VSSが印加されている。

【0148】第2NMOSトランジスタTN12のゲートには、前記第2位相差信号DNが入力される。従って、第2NMOSトランジスタTN12は、第2位相差信号DNにตอบสนองして、第1NMOSトランジスタTN11と同時にオンオフする。

【0149】第3NMOSトランジスタTN13のゲートには、後述するデコーダ53から出力される第2制御信号S2が入力される。第3NMOSトランジスタTN13は、第2制御信号S2にตอบสนองしてオンオフする。

【0150】第2、第3NMOSトランジスタTN12、TN13が同時にオンした場合、該第2、第3トランジスタTN12、TN13は、図2のLPF13から低電位電源VSSへ電流I(Co)を流す。LPF13は、供給される電流I(Co)により電荷が減少する。

【0151】即ち、オンした第2、第3NMOSトラン

ジスタTN12、TN13は、LPF13から電荷をディスチャージする。そして、LPF13は、電荷量に対応する電圧の出力信号Loを出力する。従って、出力信号Loの電圧は、電荷の減少に対応して低くなる。

【0152】以上により、第2、第3PMOSトランジスタTP12、TP13と第2、第3NMOSトランジスタTN12、TN13は、LPF13に対して電荷のチャージ/ディスチャージを行う第2のC/D回路55を形成する。そして、第2、第3PMOSトランジスタTP112、TP13は、LPF13に電流を吐き出す第2吐き出し回路を形成し、第2、第3NMOSトランジスタTN12、TN13はLPF13から電流を吸い込む第2吸い込み回路を形成する。

【0153】前記ノードN1は、A/D変換回路52に接続されている。A/D変換回路52には、出力信号Coが入力される。図6に示すように、A/D変換回路52は、複数（本実施形態では4つ）の抵抗R11～R14よりなる分圧回路を含む。抵抗R11～R14は、高電位電源VDDを供給するための電源線と低電位電源VSSを供給するための電源線の間に直列に接続されている。分圧回路は、高電位電源VDDと低電位電源VSSの間の電圧を抵抗R11～R14の抵抗値に応じて分圧した第1～第3分圧電圧V11～V13を生成する。

【0154】A/D変換回路52は、第1～第3分圧電圧V11～V13と出力信号Coの電圧V(Co)を比較し、その比較結果に基づく信号を出力する。この出力信号は、第1～第3分圧電圧V11～V13に対応した3ビットのビット信号D2～D0にて構成される。A/D変換回路52は、比較結果に基づいて各ビット信号D2～D0を「1」又は「0」にして出力する。

【0155】詳しくは、出力信号Coの電圧が高電位電源VDDと第1分圧電圧V11の間にあるとき、A/D変換回路52は、「000」のビット信号D2～D0を出力する。また、出力信号Coの電圧が第1分圧電圧V11と第2分圧電圧V12の間にあるとき、A/D変換回路52は、「100」のビット信号D2～D0を出力する。更に、出力信号Coの電圧が第2分圧電圧V12と第3分圧電圧V13の間にあるとき、A/D変換回路52は、「110」のビット信号D2～D0を出力する。更にまた、出力信号Coの電圧が第3分圧電圧V13と低電位電源VSSの間にあるとき、A/D変換回路52は、「111」のビット信号D2～D0を出力する。

【0156】図5のデコーダ53には、A/D変換回路52から出力されるビット信号D2～D0が入力される。デコーダ回路53は、入力されるビット信号D2～D0に基づいて、ビット信号D2、D0をそれぞれ第1、第2制御信号S1、S2として出力する。

【0157】ビット信号D2は、前記出力信号Coの電圧V(Co)が高電位電源VDDと第1分圧電圧V11の間にある時に「0」であり、出力信号Coの電圧V(Co)が第

1分圧電圧V11と低電位電源VSSの間にある時に「1」である。従って、「0」のビット信号D2、即ちLレベルの第1制御信号S1は、出力信号C0の電圧が高電位電源VDDに近い電圧であることを示す。

【0158】ビット信号D0は、前記出力信号C0の電圧V(C0)が高電位電源VDDと第3分圧電圧V13の間にある時に「0」であり、出力信号C0の電圧V(C0)が第3分圧電圧V13と低電位電源VSSの間にある時に

「1」である。従って、「1」のビット信号D0、即ちHレベルの第2制御信号S2は、出力信号C0の電圧が低電位電源VSSに近い電圧であることを示す。

【0159】従って、A/D変換回路52とデコーダ53は、出力信号C0の電圧が高電位電源VDDに近い電圧か低電位電源VSSに近い電圧かを検出し、その検出結果に基づく第1、第2制御信号S1、S2を出力する検出回路を形成する。

【0160】図5に示すように、第1制御信号S1は、第3PMOSトランジスタTP13のゲートに印加される。第3PMOSトランジスタTP13は、「1」(Hレベル)の第1制御信号S1にตอบสนองしてオフし、「0」(Lレベル)の第1制御信号S1にตอบสนองしてオンする。このLレベルの第1制御信号S1は、出力信号C0の電圧が高電位電源VDDに近いことを示す。従って、第3PMOSトランジスタTP3は、出力信号C0の電圧が高電位電源VDDに近いときのみオンする。また、第2制御信号S2は、第3NMOSトランジスタTN13のゲートに印加される。第3NMOSトランジスタTN13は、「1」(Hレベル)の第2制御信号S2にตอบสนองしてオンし、「0」(Lレベル)の第2制御信号S2にตอบสนองしてオフする。このHレベルの第2制御信号S2は、出力信号C0の電圧が低電位電源VSSに近いことを示す。従って、第3NMOSトランジスタTN13は、出力信号C0の電圧が低電位電源VSSに近いときのみオンする。

【0161】次に、上記のように構成されたチャージポンプ51の作用を、出力信号C0の電圧に対応して説明する。

【出力信号C0の電圧が第1分圧電圧V1と第3分圧電圧V3の間にある場合】この第1の場合、A/D変換回路52は、「110」又は「100」のビット信号D2～D0を出力する。デコーダ53は、ビット信号D2～D0にตอบสนองしてHレベルの第1制御信号S1とLレベルの第2制御信号S2を出力する。この第1、第2制御信号S1、S2にตอบสนองして第3トランジスタTP13、TN13は共にオフする。そのため、第2C/D回路55は動作しない。

【0162】従って、チャージポンプ51は第1C/D回路54のみを動作させる。これにより、ノードN1に対するチャージ/ディスチャージ量は、第1PMOS、NMOSトランジスタTP11、TN11の駆動能力に

よる量となる。この場合、チャージ量とディスチャージ量はバランスしている。

【0163】【出力信号C0の電圧が高電位電源VDDと第1分圧電圧V1の間にある場合】この第2の場合、A/D変換回路52は、「000」のビット信号D2～D0を出力する。デコーダ53は、ビット信号D2～D0にตอบสนองしてLレベルの第1、第2制御信号S1、S2を出力する。第3PMOSトランジスタTP13はLレベルの第1制御信号S1にตอบสนองしてオンし、第3NMOSトランジスタTN13はLレベルの第2制御信号S2にตอบสนองしてオフする。これにより、第2C/D回路55はチャージ動作のみを行う。

【0164】従って、チャージポンプ51は、第1、第2C/D回路54、55を用いてチャージを行い、第1C/D回路54のみを用いてディスチャージを行う。これにより、チャージポンプ51は、出力信号C0の電圧が高電位電源VDDに近い場合に、従来のチャージポンプ12に比べて吐き出し回路(ディスチャージ回路)の駆動能力を高くし、従来よりもチャージ量を多くする。即ち、チャージポンプ51は、第2C/D回路55によりチャージ量とディスチャージ量のバランスを補正する。

【0165】【出力信号C0の電圧が第3分圧電圧V3と低電位電源VSSの間にある場合】この第3の場合、A/D変換回路52は、「111」のビット信号D2～D0を出力する。デコーダ53は、ビット信号D2～D0にตอบสนองしてHレベルの第1、第2制御信号S1、S2を出力する。第3PMOSトランジスタTP13はHレベルの第1制御信号S1にตอบสนองしてオフし、第3NMOSトランジスタTN13はHレベルの第2制御信号S2にตอบสนองしてオンする。これにより、第2C/D回路55は、ディスチャージ動作のみを行う。

【0166】従って、チャージポンプ51は、第1C/D回路54を用いてチャージを行い、第1、第2C/D回路54、55を用いてディスチャージを行う。これにより、チャージポンプ51は、出力信号C0の電圧が低電位電源VSSに近い場合に、従来のチャージポンプ12よりも吸い込み回路(チャージ回路)の駆動能力を高くし、ディスチャージ量を多くする。即ち、チャージポンプ51は、第2C/D回路55によりチャージ量とディスチャージ量のバランスを補正する。

【0167】以上記述したように、第二実施形態によれば、前記第一実施形態の効果に加えて、以下の効果を奏する。

(1) 第1、第2C/D回路54、55を備え、第1C/D回路54には第1、第2位相差信号UP、DNに基づいてチャージ動作/ディスチャージ動作を行わせる。そして、第2C/D回路55には、出力信号C0の電圧に基づいてチャージ動作又はディスチャージ動作を行わせるようにした。その結果、チャージポンプ51は、出力信号C0の電圧に応じて吐き出し回路、吸い込み回路

の駆動能力を変更し、チャージ量又はディスチャージ量を容易に増加させることができる。

【0168】(第三実施形態)以下、本発明を具体化した第三実施形態を図8～図11に従って説明する。尚、説明の便宜上、第二実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0169】図8は、本実施形態のチャージポンプ51aのブロック回路図を示す。このチャージポンプ51aは、図2のPLL回路10のチャージポンプ41に代えて用いられる。

【0170】チャージポンプ51aは、第1～第5PMOSトランジスタTP11～15、第1～第5NMOSトランジスタTN11～TN15、A/D(アナログ→デジタル)変換回路52a、及び、デコーダ53aを含む。

【0171】第1～第3PMOSトランジスタTP11～TP13、第1～第3NMOSトランジスタTN11～TN13は、接続及び動作が第二実施形態と同じである。即ち、第1PMOSトランジスタTP11と第1NMOSトランジスタTN11は、第1チャージ/ディスチャージ回路(第1C/D回路)54を構成する。第2、第3PMOSトランジスタTP12、TP13と第2、第3NMOSトランジスタTN12、TN13は、第2C/D回路55を構成する。

【0172】第1PMOSトランジスタTP11には、直列接続された第4、第5PMOSトランジスタTP14、TP15が並列に接続されている。即ち、第1トランジスタTP1のドレインが接続されたノードN1には、第4トランジスタTP14のドレインが接続され、第4トランジスタTP2のソースは第5トランジスタTP15のドレインに接続されている。第5トランジスタTP15のソースには高電位電源VDDが印加されている。

【0173】第4PMOSトランジスタTP14のゲートには、前記第1位相差信号UPが入力される。従って、第4PMOSトランジスタTP14は、第1位相差信号UPにตอบสนองして、前記第1PMOSトランジスタTP11と同時にオンオフする。

【0174】第5PMOSトランジスタTP15のゲートには、後述するデコーダ53aから出力される第1制御信号S3が入力される。第5PMOSトランジスタTP15は、第1制御信号S3にตอบสนองしてオンオフする。

【0175】第4、第5PMOSトランジスタTP14、TP15が同時にオンした場合、該第4、第5トランジスタTP14、TP15は、高電位電源VDDから図2のLPF13に電流I(Co)を供給する。LPF13は、抵抗とコンデンサよりなる積分回路であって、供給される電流I(Co)により電荷を蓄積する。

【0176】即ち、オンした第4、第5PMOSトランジスタTP14、TP15は、LPF13に電荷をチャ

ージする。そして、LPF13は、蓄積した電荷量に対応する電圧の出力信号Loを出力する。従って、出力信号Loの電圧は、蓄積された電荷量に対応して高くなる。

【0177】第1NMOSトランジスタTN11には、直列接続された第4、第5NMOSトランジスタTN14、TN15が並列に接続されている。即ち、第1トランジスタTN11のドレインが接続されたノードN1には、第4トランジスタTN14のドレインが接続され、第4トランジスタTN14のソースは第5トランジスタTN15のドレインに接続されている。第5トランジスタTN15のソースには低電位電源VSSが印加されている。

【0178】第4NMOSトランジスタTN14のゲートには、前記第4位相差信号DNが入力される。従って、第4NMOSトランジスタTN14は、第4位相差信号DNにตอบสนองして、第1NMOSトランジスタTN11と同時にオンオフする。

【0179】第5NMOSトランジスタTN15のゲートには、後述するデコーダ53aから出力される第4制御信号S4が入力される。第5NMOSトランジスタTN15は、第4制御信号S4にตอบสนองしてオンオフする。

【0180】第4、第5NMOSトランジスタTN14、TN15が同時にオンした場合、該第4、第5トランジスタTN14、TN15は、図2のLPF13から低電位電源VSSへ電流I(Co)を流す。LPF13は、供給される電流I(Co)により電荷が減少する。

【0181】即ち、オンした第4、第5NMOSトランジスタTN14、TN15は、LPF13から電荷をディスチャージする。そして、LPF13は、電荷量に対応する電圧の出力信号Loを出力する。従って、出力信号Loの電圧は、電荷の減少に対応して低くなる。

【0182】以上により、第4、第5PMOSトランジスタTP14、TP15と第4、第5NMOSトランジスタTN14、TN15は、LPF13に対して電荷のチャージ/ディスチャージを行う第3のチャージ/ディスチャージ回路(C/D回路)56を形成する。即ち、チャージポンプ51aは、第1～第3のC/D回路54～56を含む。

【0183】前記ノードN1は、A/D変換回路52aに接続されている。A/D変換回路52aには、出力信号Coが入力される。図9に示すように、A/D変換回路52aは、複数(本実施形態では5つ)の抵抗R11～R15よりなる分圧回路を含む。抵抗R11～R15は、高電位電源VDDを供給するための電源線と低電位電源VSSを供給するための電源線の間に直列に接続されている。分圧回路は、高電位電源VDDと低電位電源VSSの間の電圧を抵抗R11～R15の抵抗値に応じて分圧した第1～第3分圧電圧V11～V14を生成する。

【0184】A/D変換回路52aは、第1～第3分圧

電圧V11~V14と出力信号C_oの電圧V(Co)を比較し、その比較結果に基づく信号を出力する。この出力信号は、第1~第3分圧電圧V11~V14に対応した4ビットのビット信号D3~D0にて構成される。A/D変換回路52aは、比較結果に基づいて各ビット信号D3~D0を「1」又は「0」にして出力する。

【0185】詳しくは、出力信号C_oの電圧が高電位電源VDDと第1分圧電圧V11の間にあるとき、A/D変換回路52aは、「0000」のビット信号D2~D0を出力する。また、出力信号C_oの電圧が第1分圧電圧V11と第2分圧電圧V12の間にあるとき、A/D変換回路52aは、「1000」のビット信号D2~D0を出力する。更に、出力信号C_oの電圧が第2分圧電圧V12と第3分圧電圧V13の間にあるとき、A/D変換回路52aは、「1100」のビット信号D2~D0を出力する。更にまた、出力信号C_oの電圧が第3分圧電圧V13と第4分圧電圧V14の間にあるとき、A/D変換回路52aは、「1110」のビット信号D2~D0を出力する。また、出力信号C_oの電圧が第4分圧電圧V14と低電位電源VSSの間にあるとき、A/D変換回路52aは、「1111」のビット信号D2~D0を出力する。

【0186】図10のデコーダ53aには、A/D変換回路52aから出力されるビット信号D3~D0が入力される。デコーダ回路53aは、入力されるビット信号D3~D0に基づいて、ビット信号D3、D2、D1、D0をそれぞれ第1、第3、第4、第2制御信号S1、S3、S4、S2として出力する。

【0187】ビット信号D3は、前記出力信号C_oの電圧V(Co)が高電位電源VDDと第1分圧電圧V11の間にある時に「0」であり、出力信号C_oの電圧V(Co)が第1分圧電圧V11と低電位電源VSSの間にある時に「1」である。従って、ビット信号D2、即ち第1制御信号S1は、出力信号C_oの電圧が高電位電源VDDと第1分圧電圧V11の間の電圧であることを示す。

【0188】ビット信号D2は、前記出力信号C_oの電圧V(Co)が高電位電源VDDと第2分圧電圧V12の間にある時に「0」であり、出力信号C_oの電圧V(Co)が第2分圧電圧V12と低電位電源VSSの間にある時に「1」である。従って、「0」のビット信号D2、即ちLレベルの第2制御信号S2は、出力信号C_oの電圧が高電位電源VDDと第2分圧電圧V12の間の電圧であることを示す。

【0189】ビット信号D1は、前記出力信号C_oの電圧V(Co)が高電位電源VDDと第3分圧電圧V13の間にある時に「0」であり、出力信号C_oの電圧V(Co)が第3分圧電圧V13と低電位電源VSSの間にある時に「1」である。従って、「1」のビット信号D1、即ちHレベルの第4制御信号S4は、出力信号C_oの電圧が第3分圧電圧V13と低電位電源VSSの間の電圧である

ことを示す。

【0190】ビット信号D0は、前記出力信号C_oの電圧V(Co)が高電位電源VDDと第4分圧電圧V14の間にある時に「0」であり、出力信号C_oの電圧V(Co)が第4分圧電圧V14と低電位電源VSSの間にある時に「1」である。従って、「1」のビット信号D0、即ちHレベルの第2制御信号S2は、出力信号C_oの電圧が第4分圧電圧V14と低電位電源VSSの間の電圧であることを示す。

【0191】従って、A/D変換回路52aとデコーダ53aは、出力信号C_oの電圧が高電位電源VDDに近い電圧か低電位電源VSSに近い電圧かを検出し、その検出結果に基づく第1~第4制御信号S1~S4を出力する検出回路を形成する。

【0192】図8に示すように、第1制御信号S1は、第3PMOSトランジスタTP13のゲートに印加される。第3PMOSトランジスタTP13は、「1」(Hレベル)の第1制御信号S1に応答してオフし、「0」(Lレベル)の第1制御信号S1に応答してオンする。

【0193】第2制御信号S2は、第3NMOSトランジスタTN13のゲートに印加される。第3NMOSトランジスタTN13は、「1」(Hレベル)の第2制御信号S2に応答してオンし、「0」(Lレベル)の第2制御信号S2に応答してオフする。

【0194】第3制御信号S3は、第5PMOSトランジスタTP15のゲートに印加される。第5PMOSトランジスタTP15は、「1」(Hレベル)の第3制御信号S3に応答してオフし、「0」(Lレベル)の第3制御信号S3に応答してオンする。

【0195】第4制御信号S4は、第5NMOSトランジスタTN15のゲートに印加される。第5NMOSトランジスタTN15は、「1」(Hレベル)の第4制御信号S4に応答してオンし、「0」(Lレベル)の第4制御信号S4に応答してオフする。

【0196】次に、上記のように構成されたチャージポンプ51aの作用を、出力信号C_oの電圧に対応して説明する。

[出力信号C_oの電圧が第2分圧電圧V2と第3分圧電圧V3の間にある場合] この第1の場合、A/D変換回路52は、「1100」のビット信号D3~D0を出力する。デコーダ53は、ビット信号D3~D0にตอบสนองしてHレベルの第1、第3制御信号S1、S3とLレベルの第2、第4制御信号S2、S4を出力する。この第1~第4制御信号S1~S4にตอบสนองして第3トランジスタTP13、TN13は共にオフする。そのため、第2、第3C/D回路55、56は動作しない。

【0197】従って、チャージポンプ51aは第1C/D回路54のみを動作させる。これにより、ノードN1に対するチャージ/ディスチャージ量は、第1PMOS、NMOSトランジスタTP11、TN11の駆動能

力による量となる。この場合、チャージ量とディスチャージ量はバランスしている。

【0198】[出力信号C_oの電圧が第1分圧電圧V₁と第2分圧電圧V₂の間にある場合] この第2の場合、A/D変換回路52は、「1000」のビット信号D₃～D₀を出力する。デコーダ53は、ビット信号D₃～D₀にตอบสนองして、Hレベルの第1制御信号S₁を出力し、Lレベルの第2～第4制御信号S₂～S₄を出力する。第3 PMOSトランジスタTP13はHレベルの第1制御信号S₁にตอบสนองしてオフし、第5 PMOSトランジスタTP15はLレベルの第3制御信号S₃にตอบสนองしてオンする。第3, 第5 NMOSトランジスタTN13, TN15はLレベルの第2, 第4制御信号S₂, S₄にตอบสนองしてオフする。これにより、第2 C/D回路55は動作しない。第3 C/D回路56はチャージ動作のみを行う。

【0199】従って、チャージポンプ51aは、第1, 第3 C/D回路54, 56を用いてチャージを行い、第1 C/D回路54のみを用いてディスチャージを行う。即ち、低下する第1 PMOSトランジスタTP11の駆動能力を、第5 PMOSトランジスタTP15により補う訳である。

【0200】これにより、チャージポンプ51aは、出力信号C_oの電圧が高電位電源VDDに近い場合に、従来のチャージポンプ12に比べて吐き出し回路(ディスチャージ回路)の駆動能力を高くし、チャージ量を多くする。即ち、チャージポンプ51aは、第3 C/D回路56によりチャージ量とディスチャージ量のバランスを補正する。

【0201】[出力信号C_oの電圧が高電位電源VDDと第1分圧電圧V₁の間にある場合] この第3の場合、A/D変換回路52は、「0000」のビット信号D₃～D₀を出力する。デコーダ53は、ビット信号D₃～D₀にตอบสนองしてLレベルの第1～第4制御信号S₁～S₄を出力する。第3, 第5 PMOSトランジスタTP13, TP15はLレベルの第1, 第3制御信号S₁, S₃にตอบสนองしてオンし、第3, 第5 NMOSトランジスタTN13, TN15はLレベルの第2, 第4制御信号S₂, S₄にตอบสนองしてオフする。これにより、第2, 第3 C/D回路55, 56はチャージ動作のみを行う。

【0202】従って、チャージポンプ51aは、第1～第3 C/D回路54～56を用いてチャージを行い、第1 C/D回路54のみを用いてディスチャージを行う。即ち、更に低下する第1 PMOSトランジスタTP11の駆動能力を、第3, 第5 PMOSトランジスタTP13, TP15により補う訳である。

【0203】これにより、チャージポンプ51aは、出力信号C_oの電圧が高電位電源VDDに近い場合に、従来のチャージポンプ12に比べて吐き出し回路(ディスチャージ回路)の駆動能力を高くし、チャージ量を多くす

る。即ち、チャージポンプ51aは、第2, 第3 C/D回路55, 56によりチャージ量とディスチャージ量のバランスを補正する。

【0204】また、チャージポンプ51aは、上記第2の場合に比べて第2 C/D回路55を動作させる分だけチャージ量を多くする。即ち、チャージポンプ51aは、出力信号C_oの電圧に対応して補正量を変更する。

【0205】[出力信号C_oの電圧が第3分圧電圧V₃と第3分圧電圧V₄の間にある場合] この第4の場合、A/D変換回路52は、「1110」のビット信号D₃～D₀を出力する。デコーダ53は、ビット信号D₃～D₀にตอบสนองしてHレベルの第1, 第3, 第4制御信号S₁, S₃, S₄を出力し、Lレベルの第2制御信号S₂を出力する。第3, 第5 PMOSトランジスタTP13, TP15はHレベルの第1制御信号S₁にตอบสนองしてオフする。第3 NMOSトランジスタTN13はLレベルの第2制御信号S₂にตอบสนองしてオフし、第5 NMOSトランジスタTN15はHレベルの第4制御信号S₄にตอบสนองしてオンする。これにより、第2 C/D回路55は、動作しない。第3 C/D回路56はディスチャージ動作のみを行う。

【0206】従って、チャージポンプ51aは、第1 C/D回路54のみを用いてチャージを行い、第1, 第3 C/D回路54, 56を用いてディスチャージを行う。即ち、低下する第1 NMOSトランジスタTN11の駆動能力を第5 NMOSトランジスタTN15により補う訳である。

【0207】これにより、チャージポンプ51aは、出力信号C_oの電圧が低電位電源VSSに近い場合に、従来のチャージポンプ12よりも吸い込み回路(チャージ回路)の駆動能力を高くし、ディスチャージ量を多くする。即ち、チャージポンプ51aは、第3 C/D回路56によりチャージ量とディスチャージ量のバランスを補正する。

【0208】[出力信号C_oの電圧が第4分圧電圧V₄と低電位電源VSSの間にある場合] この第5の場合、A/D変換回路52は、「1111」のビット信号D₃～D₀を出力する。デコーダ53は、ビット信号D₃～D₀にตอบสนองしてHレベルの第1～第4制御信号S₁～S₄を出力する。第3, 第5 PMOSトランジスタTP13, TP15はHレベルの第1, 第3制御信号S₁, S₃にตอบสนองしてオフし、第3, 第5 NMOSトランジスタTN13, TN15はHレベルの第2, 第4制御信号S₂, S₄にตอบสนองしてオンする。これにより、第2, 第3 C/D回路55, 56は、ディスチャージ動作のみを行う。

【0209】従って、チャージポンプ51aは、第1 C/D回路54のみを用いてチャージを行い、第1～第3 C/D回路54～56のみを用いてディスチャージを行う。即ち、低下する第1 NMOSトランジスタTN11

10

20

30

40

50

の駆動能力を第3、第5 NMOS トランジスタ TN13、TN15により補う訳である。

【0210】これにより、チャージポンプ51aは、出力信号Coの電圧が低電位電源VSSに近い場合に、従来のチャージポンプ12よりも吸い込み回路（チャージ回路）の駆動能力を高くし、ディスチャージ量を多くする。即ち、チャージポンプ51aは、第2、第3C/D回路55、56によりチャージ量とディスチャージ量のバランスを補正する。

【0211】また、チャージポンプ51aは、上記第4の場合に比べて第2C/D回路55を動作させる分だけディスチャージ量を多くする。即ち、チャージポンプ51aは、出力信号Coの電圧に対応して補正量を変更する。

【0212】図11は、同一パルス幅の第1、第2位相差信号UP、DNに対するチャージ/ディスチャージを行う電流の比率を示す特性図である。図11において、本実施形態のチャージポンプ51aの特性を実線で示し、従来のチャージポンプ12の特性を一点鎖線で示す。従来のチャージポンプ12では、低電位電源VSS側（図5の左側）ではチャージの電流の比率がディスチャージのそれよりも大きく、高電位電源VDD側（図11の右側）ではチャージの電流の比率がディスチャージのそれよりも小さい。それに対し、本実施形態では、低電位電源VSS側（図11の左側）から高電位電源VDD側（図11の右側）にかけて、チャージ/ディスチャージの電流の比率をほぼ「1」とする事ができる。

【0213】以上記述したように、第三実施形態によれば、第一、第二実施形態の効果に加えて、以下の効果を奏する。

(1) チャージポンプ51aは、第1～第3C/D回路54～56を備え、第1C/D回路54には第1、第2位相差信号UP、DNに基づいてチャージ動作とディスチャージ動作を行わせる。そして、チャージポンプ51aは、出力信号Coの電圧に基づいて、第3C/D回路56のみ、又は第2、第3C/D回路55、56に対してチャージ動作又はディスチャージ動作を行わせるようにした。その結果、チャージポンプ51aは、出力信号Coの電圧に応じてチャージ量又はディスチャージ量の増加量を変更することができる。

【0214】尚、第二、第三実施形態において、A/D変換回路52、52a、デコーダ53、53aに代えて、それらの機能を1つのチップ上に集積したマイクロコンピュータを用いてもよい。

【0215】また、第二、第三実施形態において、デコーダ53、53aを省略して実施してもよい。更に、第二、第三実施形態において、A/D変換回路52、52aのビット数を適宜変更して実施しても良い。

【0216】（第四実施形態）以下、本発明を具体化した第四実施形態を図12～図14に従って説明する。

尚、説明の便宜上、第一実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0217】図12は、本実施形態のチャージポンプ61の回路図である。チャージポンプ61は、一对の第1 PMOS、NMOS トランジスタ TP11、TP11よりなるチャージ/ディスチャージ回路54を含む。

【0218】一对の第1 トランジスタ TP11、TN11とノードN1の間には、それぞれ第2 PMOS、NMOS トランジスタ TP12、TN12が挿入接続されている。

【0219】第2 PMOS トランジスタ TP21のゲートは該トランジスタ TP21のソースに接続されている。従って、第2 PMOS トランジスタ TP21は、ソースドレイン間にノードN1の電圧V(N1)と高電位電源VDDの電圧の差に応じた電位差を生じさせる。

【0220】第2 NMOS トランジスタ TN21のゲートは、該トランジスタ TN21のソースに接続されている。従って、第2 NMOS トランジスタ TN21は、ソースドレイン間に、ノードN1の電圧V(N1)と低電位電源VSSの電圧の差に応じた電位差を生じさせる。

【0221】第2 PMOS トランジスタ TP21のゲートとソースが接続された接続点であるノードN21は第1オペアンプOP1の非反転入力端子に接続されている。その第1オペアンプOP1の反転入力端子は、ノードN1に接続されている。

【0222】第2 NMOS トランジスタ TN21のゲートとソースが接続された接続点であるノードN22は第2オペアンプOP2の非反転入力端子に接続されている。その第2オペアンプOP2の反転入力端子は、ノードN1に接続されている。

【0223】図13に示すように、第1オペアンプOP1は、バイアス電圧生成回路62と差動増幅回路63を含む。差動増幅回路63は、非反転入力端子に入力される信号IPと反転入力端子に入力される信号IMの電圧差に基づいて、制御信号S11の電圧を上昇又は下降させる。

【0224】詳述すれば、信号IMの電圧に対して信号IPの電圧が ΔV だけ高い場合、その差電圧 ΔV にตอบสนองしてNMOS トランジスタ TN23bに流れる電流が ΔI だけ増加する。この増加する電流 ΔI に対応して対をなすNMOS トランジスタ TN23aに流れる電流が ΔI だけ減少する。それに対応して、PMOS トランジスタ TP23bに流れる電流が ΔI だけ減少する。差動増幅回路63は、出力端子からPMOS トランジスタ TP23bにおいて変動する電流量（ $2\Delta I$ ）に対応して電流を吸い込む。その結果、差動増幅回路63は、出力する第1制御信号S11の電圧を下降させる。

【0225】逆に、信号IPの電圧に対して信号IMの電圧が ΔV だけ高い場合、その電圧差 ΔV に対応して差動増幅回路63は、第1制御信号S11の電圧を上昇さ

せる。第2オペアンプOP2は、第1オペアンプOP1と回路構成が同じであるため、図面及び詳細な説明を省略する。

【0226】上記により、第1オペアンプOP1は、ノードN21とノードN1の電圧差に基づく電圧の第1制御信号S11を第3PMOSTランジスタTP22に出力する。また、第2オペアンプOP2は、ノードN22とノードN1の電圧差に基づく電圧の第2制御信号S12を第3NMOSTランジスタTN22に出力する。

【0227】ノードN1とノードN21、N22の電圧差は、出力信号C_oの電圧と高電位電源VDD、低電位電源VSSの電圧差に起因する。即ち、第1、第2オペアンプOP1、OP2と第2PMOS、NMOSTランジスタTP21、TN21は、出力信号C_oの電圧が高電位電源VDDの電圧に近い又は低電位電源VSSの電圧に近いを検出する検出回路64を形成する。

【0228】第1制御信号S11について詳述すれば、出力信号C_oの電圧が高電位電源VDDの電圧に近い場合、第1オペアンプOP1の両入力端子間の電圧差は小さい。これにより、第1オペアンプOP1は、高い電圧の第1制御信号S11を出力する。そして、第1オペアンプOP1は、両端子間の電圧差が小さいほど高い（高電位電源VDDに近い）電圧の第1制御信号S11を出力する。

【0229】逆に、出力信号C_oの電圧が低電位電源VSSの電圧に近い場合、第1オペアンプOP1の両入力端子間の電圧差は大きい。これにより、第1オペアンプOP1は、低い電圧の第1制御信号S11を出力する。そして、第1オペアンプOP1は、両端子間の電圧差が大きいほど低い（低電位電源VSSに近い）電圧の第1制御信号S11を出力する。

【0230】第2制御信号S12について詳述すれば、出力信号C_oの電圧が高電位電源VDDの電圧に近い場合、第2オペアンプOP2の両入力端子間の電圧差は大きい。これにより、第2オペアンプOP2は、高い電圧の第2制御信号S12を出力する。そして、第2オペアンプOP2は、両端子間の電圧差が大きいほど高い（高電位電源VDDに近い）電圧の第2制御信号S12を出力する。

【0231】逆に、出力信号C_oの電圧が低電位電源VSSの電圧に近い場合、第2オペアンプOP2の両入力端子間の電圧差は小さい。これにより、第2オペアンプOP2は、低い電圧の第2制御信号S12を出力する。そして、第2オペアンプOP2は、両端子間の電圧差が小さいほど低い（低電位電源VSSに近い）電圧の第1制御信号S12を出力する。

【0232】前記第3PMOSTランジスタTP22のソースは高電位電源VDDを供給するための電源線に接続され、ドレインは第1PMOSTランジスタTP11のゲートに接続されている。

【0233】第3PMOSTランジスタTP22のゲートには、前記第1制御信号S11が入力される。第3PMOSTランジスタTP22は、第1制御信号S11に基づいてオンしたときに、その第1制御信号S11の電圧に対応するオン抵抗値を有する。

【0234】その第3PMOSTランジスタTP22は、第1PMOSTランジスタTP11のゲートに印加される第1位相差信号UPにオン抵抗値に対応する影響を与える。即ち、第3PMOSTランジスタTP22のオン抵抗値が小さい場合、第1位相差信号UPは、第3PMOSTランジスタTP22を介して高電位電源VDDから電荷の供給を受け、Lレベルまで低下しない。

【0235】第1PMOSTランジスタTP11は、この第1位相差信号UPがゲートに入力される。従って、第1PMOSTランジスタTP11は、第1位相差信号UPの電圧に対応して導通度を可変し、チャージする電流を決定する。即ち、第3PMOSTランジスタTP22は、第1制御信号S11に基づいてC/D回路を構成する第1PMOSTランジスタTP11のチャージ量を補正する。

【0236】前記第3NMOSTランジスタTN22のソースは高電位電源VDDを供給するための電源線に接続され、ドレインは第1NMOSTランジスタTN11のゲートに接続されている。

【0237】第3NMOSTランジスタTN22のゲートには、前記第2制御信号S12が入力される。第3NMOSTランジスタTN22は、第1制御信号S12に基づいてオンしたときに、その第1制御信号S11の電圧に対応するオン抵抗値を有する。

【0238】その第3NMOSTランジスタTN22は、第1NMOSTランジスタTN11のゲートに印加される第2位相差信号DNにオン抵抗値に対応する影響を与える。即ち、第3NMOSTランジスタTN22のオン抵抗値が小さい場合、第2位相差信号DNは、第3NMOSTランジスタTN22を介して低電位電源VSSに電荷が流れ、Hレベルまで上昇しない。

【0239】第1NMOSTランジスタTN11は、この第2位相差信号DNがゲートに入力される。従って、第1NMOSTランジスタTN11は、第2位相差信号DNの電圧に対応して導通度を可変し、チャージする電流を決定する。即ち、第3NMOSTランジスタTN22は、第2制御信号S12に基づいてC/D回路を構成する第1NMOSTランジスタTN11のチャージ量を補正する。

【0240】即ち、第3PMOS、NMOSTランジスタTP22、TN22は、C/D回路54のチャージ量/ディスチャージ量を補正する補正回路65を形成する。尚、第1、第2オペアンプOP1、OP2は、出力信号C_oの電圧が高電位電源VDDと低電位電源VSSの間電圧（ $=1/2(VDD+VSS)$ ）付近の場合に、第1

PMOS, NMOSトランジスタTP11, TN11によるチャージ/ディスチャージ量がほぼ等しくなるような電圧の第1, 第2制御信号S11, S12を出力するように構成されている。

【0241】次に、上記のように構成されたチャージポンプ61の作用を図14に従って説明する。

〔出力信号C_oの電圧が高電位電源VDDと低電位電源VSSの中間電圧付近の場合〕この第1の場合、図14

(a)に示すように、第1, 第2PMOSTランジスタTP11, TP21と第1, 第2NMOSTランジスタTN11, TN21は、ほぼ同一の抵抗値を有する。従って、各ノードN21, N1, N22における電圧は、高電位電源VDDと低電位電源VSSの間の電圧差を、各トランジスタのオン抵抗値により等分割した値となる。尚、図14(a)には、各トランジスタのオン抵抗値を同一として示してある。

【0242】これにより、第1, 第2オペアンプOP1, OP2は、中間電圧の第1, 第2制御信号S11, S12を出力する。第3PMOS, NMOSTランジスタTP22, TN22は、ゲートに印加される第1, 第2制御信号S11, S12の電圧により同じ導通度となる。その結果、第1PMOS, NMOSTランジスタTP11, TN11は、同じ導通度となりチャージ量とディスチャージ量を同じにする。

【0243】〔出力信号C_oの電圧V(N1)が低電位電源VSSに近い電圧の場合〕この第2の場合、図14(b)に示すように、第1, 第2PMOSTランジスタTP11, TP21のオン抵抗値は小さくなり、第1, 第2NMOSTランジスタTN11, TN21のオン抵抗値は大きくなる。従って、ノードN21, N1間の電位差は小さくなり、ノードN1, N22間の電位差は大きくなる。

【0244】第1オペアンプOP1は、ノードN21, N1間の電位差に基づいて低い電圧の第1制御信号S11を出力する。第2オペアンプOP2は、ノードN1, N22間の電位差に基づいて低い電圧の第2制御信号S12を出力する。

【0245】第3PMOSTランジスタTP22は、低い電圧の第1制御信号S11にตอบสนองしてオンしやすくなる。即ち、第3PMOSTランジスタTP22は、第1制御信号S11にตอบสนองして導通度を高くする。これにより、第1位相差信号UPは、Lレベルまで低下しない。この第1位相差信号UPをゲートに受け、第1PMOSTランジスタTP11は導通度を低くする。従って、第1PMOSTランジスタTP11は、チャージ量を少なくする。

【0246】一方、第3NMOSTランジスタTN22は、低い電圧の第2制御信号S12にตอบสนองしてオンしにくくなる。即ち、第3NMOSTランジスタTN22は、第2制御信号S12にตอบสนองして導通度を低くする。

これにより、第2位相差信号DNは、Hレベルまで上昇する。この第2位相差信号DNをゲートに受け、第1NMOSTランジスタTN11は導通度を高くする。従って、第1NMOSTランジスタTN11は、ディスチャージ量を多くする。

【0247】このことは、単位時間当たりのチャージ量を減少させ、ディスチャージ量を増加させる。これにより、チャージポンプ61は、従来のチャージポンプ12に比べて、チャージ量を少なくし、ディスチャージ量を多くする。即ち、チャージポンプ61は、単位時間当たりのチャージ量とディスチャージ量のバランスを補正する。

【0248】〔出力信号C_oの電圧V(N1)が高電位電源VDDに近い電圧の場合〕この第3の場合、図14(c)に示すように、第1, 第2PMOSTランジスタTP11, TP21のオン抵抗値は大きくなり、第1, 第2NMOSTランジスタTN11, TN21のオン抵抗値は小さくなる。従って、ノードN21, N1間の電位差は大きくなり、ノードN1, N22間の電位差は小さくなる。

【0249】第1オペアンプOP1は、ノードN21, N1間の電位差に基づいて高い電圧の第1制御信号S11を出力する。第2オペアンプOP2は、ノードN1, N22間の電位差に基づいて高い電圧の第2制御信号S12を出力する。

【0250】第3PMOSTランジスタTP22は、高い電圧の第1制御信号S11にตอบสนองしてオンしにくくなる。即ち、第3PMOSTランジスタTP22は、第1制御信号S11にตอบสนองして導通度を低くする。これにより、第1位相差信号UPは、Lレベルまで低下する。この第1位相差信号UPをゲートに受け、第1PMOSTランジスタTP11は導通度を高くする。従って、第1PMOSTランジスタTP11は、チャージ量を多くすることができる。

【0251】一方、第3NMOSTランジスタTN22は、高い電圧の第2制御信号S12にตอบสนองしてオンしやすくなる。即ち、第3NMOSTランジスタTN22は、第2制御信号S12にตอบสนองして導通度を高くする。これにより、第2位相差信号DNは、Hレベルまで上昇しない。この第2位相差信号DNをゲートに受け、第1NMOSTランジスタTN11は導通度を低くする。従って、第1NMOSTランジスタTN11は、ディスチャージ量を少なくすることができる。

【0252】このことは、単位時間当たりのチャージ量を増加させ、ディスチャージ量を減少させる。これにより、チャージポンプ61は、従来のチャージポンプ12に比べて、ディスチャージ量を少なくする。即ち、チャージポンプ61は、単位時間当たりのチャージ量とディスチャージ量のバランスを補正することができる。

【0253】以上記述したように、第四実施形態によれ

ば、チャージポンプ61は、第1PMOS、NMOSトランジスタTP11、TN11にかかる電圧を検出し、その電圧に基づいて第1PMOS、NMOSトランジスタTP11、TN11の駆動能力を下げるようにした。これにより、チャージ量とディスチャージ量のバランスを補正する事ができる。

【0254】(第五実施形態)以下、本発明を具体化した第五実施形態を図15に従って説明する。尚、説明の便宜上、第二実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0255】図15は、本実施形態のチャージポンプ71の回路図を示す。チャージポンプ71は、第1～第3PMOSトランジスタTP11～TP13、第1～第3NMOSトランジスタTN11～TN13、第1、第2オペアンプOP1、OP2を含む。尚、第1～第3PMOSトランジスタTP11～TP13及び第1～第3NMOSトランジスタTN11～TN13の接続は、第二実施形態と同様であるため詳細な説明を省略し、第1、第2オペアンプOP1、OP2に関する接続及び動作について詳細に説明する。

【0256】即ち、第1PMOSトランジスタTP11と第1NMOSトランジスタTN11は、第1チャージ/ディスチャージ回路(第1C/D回路)54を形成する。また、第2、第3PMOSトランジスタTP12、TP13と第2、第3NMOSトランジスタTN12、TN13は、第2C/D回路55を構成する。

【0257】第1オペアンプOP1の非反転入力端子は第1PMOSトランジスタTP11のドレイン、即ちノードN1に接続されている。第1オペアンプOP1の反転入力端子は第1PMOSトランジスタTP11のソースに接続されている。第1オペアンプOP1の出力端子は、第2チャージ/ディスチャージ回路(C/D回路)55を構成する第3PMOSトランジスタTP13のゲートに接続されている。第2オペアンプOP2の非反転入力端子は第1NMOSトランジスタTN11のドレイン、即ちノードN1に接続されている。第1オペアンプOP2の反転入力端子は第1NMOSトランジスタTN11のソースに接続されている。第2オペアンプOP2の出力端子は、第2C/D回路55を構成する第3NMOSトランジスタTN13のゲートに接続されている。

【0258】第1オペアンプOP1は、第1PMOSトランジスタTP11のドレイン-ソース間の電圧差に基づく電圧の第1制御信号S11を出力する。即ち、第1オペアンプOP1は、ノードN1における電圧V(N1)と高電位電源VDDの電圧の差に基づく電圧の第1制御信号S11を第3PMOSトランジスタTP13に出力する。

【0259】詳しくは、出力信号C_oの電圧が高電位電源VDDの電圧に近い場合、第1オペアンプOP1の両入力端子間の電圧差は小さい。これにより、第1オペアンプ

OP1は、低い電圧の第1制御信号S11を出力する。そして、第1オペアンプOP1は、両端子間の電圧差が小さいほど低い(低電位電源VSSに近い)電圧の第1制御信号S11を出力する。

【0260】逆に、出力信号C_oの電圧が低電位電源VSSの電圧に近い場合、第1オペアンプOP1の両入力端子間の電圧差は大きい。これにより、第1オペアンプOP1は、高い電圧の第1制御信号S11を出力する。そして、第1オペアンプOP1は、両端子間の電圧差が大きいほど高い(高電位電源VDDに近い)電圧の第1制御信号S11を出力する。

【0261】第3PMOSトランジスタTP13は、第1制御信号S11の電圧にตอบสนองして導通度を変更する。これにより、第2C/D回路55は、出力信号C_oの電圧に応じてチャージ量を変更する。

【0262】第2オペアンプOP2は、ノードN1における電圧V(N1)と第1トランジスタTP11のソースに供給される低電位電源VSSの電圧の差を増幅し、その増幅した電圧の第2制御信号S12を第3NMOSトランジスタTN13に出力する。

【0263】第3NMOSトランジスタTN13は、第2制御信号S12の電圧にตอบสนองして導通度を変更する。これにより、第2C/D回路55は、出力信号C_oの電圧に応じてディスチャージ量を変更する。

【0264】即ち、第1、第2オペアンプOP1、OP2は、出力信号C_oの電圧が高電位電源VDDに近い低電位電源VSSに近いかを検出する検出回路として作用する。第2C/D回路55は、検出回路から入力される第1、第2制御信号S11、S12にตอบสนองしてチャージ/ディスチャージ量を変更する。

【0265】第2C/D回路55は、出力信号C_oの電圧が高電位電源VDDに近い場合、吐き出し回路の導通度を吸い込み回路の導通度よりも高くする。チャージ量をディスチャージ量よりも多くする。このことは、チャージポンプ71の単位時間当たりのチャージ量を、単位時間当たりのディスチャージ量よりも多くする。これにより、チャージポンプ71は、従来のチャージポンプ12に比べてチャージ量を多くし、チャージ量とディスチャージ量のバランスをとることができる。

【0266】逆に、第2C/D回路55は、出力信号C_oの電圧が低電位電源VSSに近い場合、吸い込み回路の導通度を吐き出し回路の導通度よりも高くする。従って、ディスチャージ量はチャージ量よりも多くなる。このことは、チャージポンプ71の単位時間当たりのディスチャージ量を、単位時間当たりのチャージ量よりも多くする。これにより、チャージポンプ71は、従来のチャージポンプ12に比べてディスチャージ量を多くし、チャージ量とディスチャージ量のバランスをとることができる。

【0267】尚、第1、第2オペアンプOP1、OP2

は、出力信号C_oの電圧が高電位電源VDDと低電位電源VSSの中間電圧(=1/2(VDD+VSS))付近の場合に、第1PMOS、NMOSTランジスタTP11、TN11によるチャージ/ディスチャージ量がほぼ等しくなるような電圧の第1、第2制御信号S11、S12を出力するように構成されている。

【0268】以上記述したように、第五実施形態によれば、チャージポンプ71は、第1PMOS、NMOSTランジスタTP11、TN11にかかる電圧を検出し第2C/D回路55によりチャージ量とディスチャージ量のバランスを補正する事ができる。

【0269】(第六実施形態)以下、本発明を具体化した第六実施形態を図16に従って説明する。尚、説明の便宜上、第四実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0270】図16は、本実施形態のチャージポンプ91の回路図を示す。チャージポンプ91は、第1、第2PMOSTランジスタTP11、TP22、第1、第2NMOSTランジスタTN11、TN22、抵抗R21、R22、第1、第2電流値検知回路92、93、比較器94を含む。尚、第1、第2PMOSTランジスタTP11、TP22及び第1、第2NMOSTランジスタTN11、TN22の接続及び動作は、第四実施形態と同様であるため、ここでは、それら以外の接続及び動作について詳述する。

【0271】第1PMOSTランジスタTP11のソースドレイン間には、抵抗R21と第1電流値検知回路92の直列回路が並列に接続されている。第1電流値検知回路92は電流-電圧変換器(I-V変換器)であり、抵抗R21を介して流れる電流の値に応じた電圧の第1検知信号S31を出力する。即ち、抵抗R21と第1電流値検知回路92は、チャージ量(吐き出し量)を検知する検知回路として作用する。

【0272】抵抗R21に流れる電流は、第1PMOSTランジスタTP11に流れる電流、即ち、チャージ量に対応している。従って、第1電流値検知回路92は、第1C/D回路54によるチャージ量に応じた電圧の第1検知信号S31を出力する。

【0273】第1NMOSTランジスタTN11のソースドレイン間には、抵抗R22と第2電流値検知回路93の直列回路が並列に接続されている。第2電流値検知回路93は電流-電圧変換器(I-V変換器)であり、抵抗R22を介して流れる電流に応じた電圧の第2検知信号S32を出力する。

【0274】抵抗R22に流れる電流の値は、第1NMOSTランジスタTN11に流れる電流、即ちディスチャージ量に対応している。従って、第2電流値検知回路93は、第1C/D回路54によるディスチャージ量に応じた電圧の第2検知信号S32を出力する。即ち、抵抗R22と第2電流値検知回路93は、ディスチャージ

量(吸い込み電流量)を検知する検知回路として作用する。

【0275】比較器94は、非反転入力端子に第1検知信号S31が入力され、反転入力端子に第2検知信号S32が入力される。比較器94は、両検知信号S31、S32の電圧を比較し、その比較結果に基づく制御信号S21を出力する。

【0276】詳述すれば、比較器94は、第1検知信号S31の電圧よりも第2検知信号S32の電圧が高い場合、Hレベルの制御信号S21を出力する。また、比較器94は、第1検知信号S31の電圧が第2検知信号S32の電圧よりも高い場合、Lレベルの制御信号S21を出力する。

【0277】第1、第2検知信号S31、S32の電圧は、それぞれ第1C/D回路54におけるチャージ量/ディスチャージ量に対応している。従って、比較器94は、チャージ量よりもディスチャージ量よりも多い場合にはHレベルの制御信号S21を、その逆の場合にはLレベルの制御信号S21を出力する。即ち、抵抗R21、R22、第1、第2電流値検知回路92、93、比較器94は、チャージ量とディスチャージ量の差に応答してH又はLレベルの制御信号S21を出力するチャージ/ディスチャージ量検知回路を形成する。

【0278】制御信号S21は、第2PMOS、NMOSTランジスタTP22、TN22のゲートに入力される。第2PMOS、NMOSTランジスタTP22、TN22は、制御信号S21に基づいて導通度を変更する。両トランジスタTP22、TN22の導通度は第1PMOS、NMOSTランジスタTP11、TN11のゲート電圧に影響を与える。第1トランジスタTP11、TN11は、ゲート電圧に応じた導通度となり、チャージ量/ディスチャージ量を変更する。

【0279】詳述すれば、第2PMOSTランジスタTP22は、Hレベルの制御信号S21に応答して導通度を低くする。これにより、第1位相差信号UPの電圧は、Lレベルまで低下する。この第1位相差信号UPをゲートに受け、第1PMOSTランジスタTP11は導通度を高くする。これにより、第1PMOSTランジスタTP11は、チャージ量を多くする。

【0280】一方、第2NMOSTランジスタTN22は、Hレベルの制御信号S21に応答して導通度を高くする。これにより、第2位相差信号DNの電圧は、Hレベルまで上昇しない。この第2位相差信号DNをゲートに受け、第1NMOSTランジスタTN11は導通度を低くする。これにより、第1NMOSTランジスタTN11は、ディスチャージ量を少なくする。

【0281】また、第2PMOSTランジスタTP22は、Lレベルの制御信号S21に応答して導通度を高くする。これにより、第1位相差信号UPは、Lレベルまで低下しない。この第1位相差信号UPをゲートに受

け、第1 PMOSトランジスタTP11は、導通度を低くする。従って、第1 PMOSトランジスタTP11は、チャージ量を少なくする。これにより、チャージポンプ91は、従来のチャージポンプ12よりもチャージ量とディスチャージ量の差を少なくし、チャージ量とディスチャージ量のバランスをとることができる。

【0282】第2 NMOSトランジスタTN22は、Lレベルの制御信号S21にตอบสนองして導通度を低くする。これにより、第2位相差信号DNは、Hレベルまで上昇する。この第2位相差信号DNをゲートに受け、第1 NMOSトランジスタTN11は、導通度を高くする。従って、第1 NMOSトランジスタTN11は、ディスチャージ量を多くする。これにより、チャージポンプ91は、従来のチャージポンプ12よりもチャージ量とディスチャージ量の差を少なくし、チャージ量とディスチャージ量のバランスをとることができる。

【0283】上記により、チャージポンプ91は、第1 PMOS、NMOSトランジスタTP11、TN11に流れる電流量に対応して第1 PMOS、NMOSトランジスタTP11、TN11の導通度を低くするようにした。これにより、チャージ量とディスチャージ量のバランスを補正することができる。

【0284】(第七実施形態) 以下、本発明を具体化した第七実施形態を図17に従って説明する。尚、説明の便宜上、第二、第六実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0285】図17は、本実施形態のチャージポンプ101を示す。尚、本実施形態のチャージポンプ101は、第二実施形態における第2 C/D回路55の制御に、第七実施形態におけるチャージ/ディスチャージ量検知回路を適用した例を示す。

【0286】即ち、チャージポンプ101は、第1～第3 PMOSトランジスタTP11～TP13、第1～第3 NMOSトランジスタTN11～TN13、抵抗R1、R22、第1、第2電流値検知回路92、93、及び、比較器94を含む。

【0287】第1 PMOS、NMOSトランジスタTP11、TN11は第1チャージ/ディスチャージ回路(C/D回路)54を形成する。第2、第3 PMOSトランジスタTP12、TP13と第2、第3 NMOSトランジスタTN12、TN13は、第2 C/D回路55を形成する。

【0288】抵抗R21と第1電流値検知回路92よりなる第1の検知回路は、第1 PMOSトランジスタTP11に流れる電流量(チャージ量)を検知し、その検知結果に応じた第1検知信号S31を出力する。抵抗R22と第2電流値検知回路93よりなる第2の検知回路は、第1 NMOSトランジスタTN11に流れる電流量を検知し、その検知結果に応じた第2検知信号S32を出力する。

【0289】比較器94は、第1、第2検知信号S31、S32の電圧を比較し、その比較結果に応じた制御信号S21を出力する。詳述すれば、比較器94は、第1検知信号S31の電圧よりも第2検知信号S32の電圧が高い場合、Lレベルの制御信号S21を出力する。また、比較器94は、第1検知信号S31の電圧が第2検知信号S32の電圧よりも高い場合、Hレベルの制御信号S21を出力する。

【0290】第1、第2検知信号S31、S32の電圧は、それぞれ第1 C/D回路54におけるチャージ量/ディスチャージ量に対応している。従って、比較器94は、チャージ量がディスチャージ量よりも多い場合にはHレベルの制御信号S21を、その逆の場合にはLレベルの制御信号S21を出力する。即ち、抵抗R21、R22、第1、第2電流値検知回路92、93、比較器94は、チャージ量とディスチャージ量の差にตอบสนองしてH又はLレベルの制御信号S21を出力するチャージ/ディスチャージ量検知回路を形成する。

【0291】比較器94から出力される制御信号S21は、第3 PMOS、NMOSトランジスタTP13、TN13のゲートに入力される。第3 PMOSトランジスタTP13はHレベルの制御信号S21にตอบสนองしてオフし、第3 NMOSトランジスタTN13はHレベルの制御信号S21にตอบสนองしてオンする。これにより、第2 C/D回路55は、ディスチャージ動作のみを行う。

【0292】従って、チャージポンプ101は、第1 C/D回路54のみによりチャージを行い、第1、第2 C/D回路54、55を用いてディスチャージを行う。即ち、チャージポンプ101は、出力信号Coの電圧が高く吐き出し電流が多い場合に、第1、第3 NMOSトランジスタTN11、TN13よりなる吸い込み回路の駆動能力を高くする。これにより、チャージポンプ101は、ディスチャージ量を従来のチャージポンプ12よりも多くし、チャージ量とディスチャージ量のバランスをとることができる。

【0293】第3 PMOSトランジスタTP13はLレベルの制御信号S21にตอบสนองしてオンし、第3 NMOSトランジスタTN13はLレベルの制御信号S21にตอบสนองしてオフする。これにより、第2 C/D回路55は、チャージ動作のみを行う。従って、チャージポンプ101は、第1、第2 C/D回路54、55によりチャージを行い、第1 C/D回路54のみを用いてディスチャージを行う。即ち、チャージポンプ101は、出力信号Coの電圧が低く吸い込み電流が多い場合に、第1、第3 PMOSトランジスタTP11、TP13よりなる吐き出し回路の駆動能力を高くする。これにより、チャージポンプ101は、チャージ量を従来のチャージポンプ12よりも多くし、チャージ量とディスチャージ量のバランスをとることができる。

【0294】尚、本実施形態では第1、第2 C/D回路

54, 55を用いたが、第三実施形態のように第1～第3C/D回路54～56、又はそれ以上の段数のC/D回路を用いて構成に具体化しても良い。

【0295】尚、本発明は前記各実施形態の他、以下の態様で実施してもよい。・上記各実施形態におけるチャージポンプ41～101をPLL周波数シンセサイザに適用してもよい。そのPLL周波数シンセサイザのブロック回路図を図18に示す。

【0296】PLL周波数シンセサイザ110は、位相比較器11、チャージポンプ41、ローパスフィルタ(LPF)13、電圧制御発振器(VCO)14及び分周回路15を備えている。更に、PLL周波数シンセサイザ110は、基準分周回路111と比較分周回路112を備えている。尚、第一実施形態のチャージポンプ41は、他の実施形態のチャージポンプ51～101の何れかに置き換えられてもよい。

【0297】基準分周カウンタ111は、水晶振動器113の発振に基づく固有周波数の水晶発振信号foを分周した基準信号frを位相比較器11に出力する。比較分周カウンタ112はVCO14の出力信号Foutを分周した比較信号fpを位相比較器11に出力する。

【0298】位相比較器11は基準信号frと比較信号fpとの位相を比較し、その比較結果に基づいて第1の位相差信号UP及び第2の位相差信号DNをチャージポンプ41に出力する。チャージポンプ41は第1及び第2の位相差信号UP, DNに基づいた電圧信号CoをLPF13に出力する。

【0299】LPF13はチャージポンプ41の電圧信号Coを平滑することにより高周波成分を除去した制御信号LoをVCO14に出力する。VCO14は制御信号Loの電圧値に応じた周波数の出力信号Foutを外周回路に出力する。この出力信号Foutは比較分周カウンタ112に帰還される。

【0300】出力信号Foutの周波数が所望の周波数より低くなったとき、比較信号fpの周波数が基準信号frの周波数より低くなり、両信号fr, fpの位相に差が生じる。位相比較器11は、両信号fr, fpの位相差に応じたパルス幅の第1, 第2の位相差信号UP, DNを出力する。

【0301】チャージポンプ41は位相差信号UP, DNのパルス幅に応じた電圧信号CoをLPF13に出力し、LPF13は、電圧信号Coに基づいて制御信号Loの電圧値を変更、例えば高い電圧値の制御信号Loを出力する。VCO14は、制御信号Loに基づいて高い周波数の出力信号Foutを出力する。

【0302】逆に、出力信号Foutの周波数が所望の周波数より高くなったとき、比較信号fpの周波数が基準信号frの周波数より高くなり、両信号fr, fpの位相に差が生じる。位相比較器11は、両信号fr, fpの位相差に応じたパルス幅の第1, 第2の位相差信号

UP, DNを出力する。

【0303】チャージポンプ41は位相差信号UP, DNのパルス幅に応じた電圧信号CoをLPF13に出力し、LPF13は、電圧信号Coに基づいて低い電圧値の制御信号Loを出力する。VCO14は、制御信号Loに基づいて低い周波数の出力信号Foutを出力する。

【0304】PLL周波数シンセサイザ110は、上記の動作を繰り返し実行し、VCO14から出力する出力信号Foutの周波数を所望の周波数にロックする。そして、このPLL周波数シンセサイザ110は、上記チャージポンプ41を用いることにより、周波数をロックさせることができる。更に、PLL周波数シンセサイザ110は、ロック時の安定度を高めることができる。

【0305】

【発明の効果】以上詳述したように、請求項1乃至14に記載の発明によれば、吐き出しと吸い込みのバランスをとることが可能なチャージポンプ回路を提供することができる。

【0306】請求項15又は16に記載の発明によれば、吐き出しと吸い込みのバランスの良いチャージポンプ回路を用いて、ロック時間の短縮を図ることができる。とともに、周波数安定度を高めることが可能なPLL回路又はPLL周波数シンセサイザを提供することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図。

【図2】 第一実施形態のPLL回路のブロック回路図。

【図3】 第一実施形態のチャージポンプの回路図。

【図4】 (a)～(c)はチャージポンプの動作の説明図。

【図5】 第二実施形態のチャージポンプの回路図。

【図6】 A/D変換回路の回路図。

【図7】 デコーダ回路の回路図。

【図8】 第三実施形態のチャージポンプの回路図。

【図9】 A/D変換回路の回路図。

【図10】 デコーダ回路の回路図。

【図11】 チャージポンプの特性図。

【図12】 第四実施形態のチャージポンプの回路図。

【図13】 差動増幅器の回路図。

【図14】 第四実施形態のチャージポンプの動作の説明図。

【図15】 第五実施形態のチャージポンプの回路図。

【図16】 第六実施形態のチャージポンプの回路図。

【図17】 第七実施形態のチャージポンプの回路図。

【図18】 PLL周波数シンセサイザのブロック回路図。

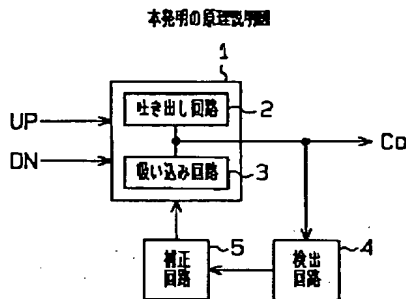
【図19】 従来のPLL回路のブロック回路図。

【図20】 従来のチャージポンプの回路図。

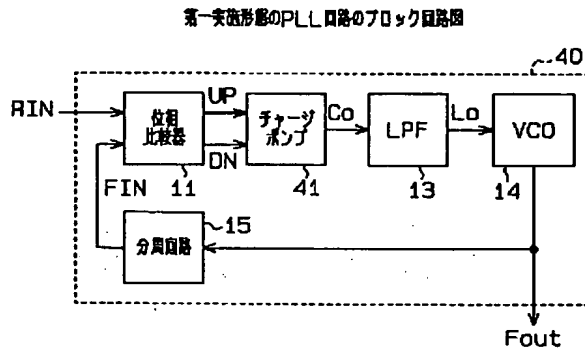
51

- 【図 2 1】 従来のチャージポンプの等価回路図。
 【図 2 2】 位相比較器を示すブロック回路図。
 【図 2 3】 クロックの立ち上がり（立ち下がり）が揃っているタイミングチャート。
 【図 2 4】 クロックの立ち上がり（立ち下がり）が 1/2 周期早いタイミングチャート。
 【図 2 5】 クロックの立ち上がり（立ち下がり）が 1/2 周期遅いタイミングチャート。
 【図 2 6】 位相比較器の出力信号に対するチャージポンプの動作を説明するための波形図。
 【図 2 7】 チャージポンプの出力電圧と信号の位相における動作を示す説明図。

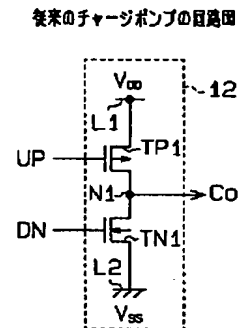
【図 1】



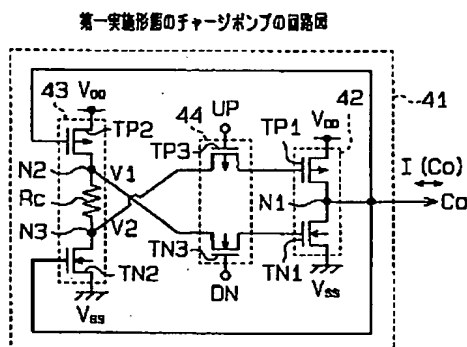
【図 2】



【図 2 0】

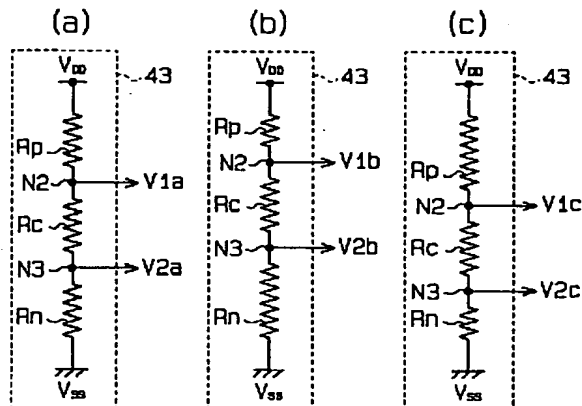


【図 3】

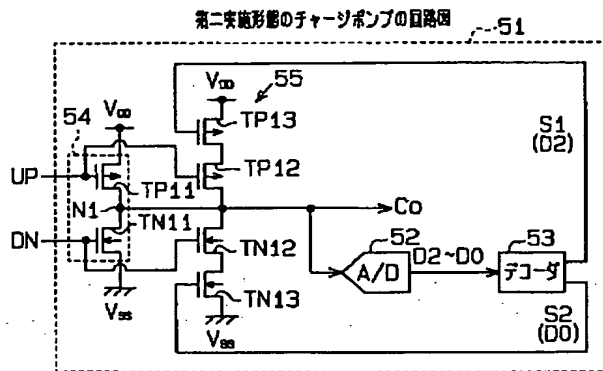


【図 4】

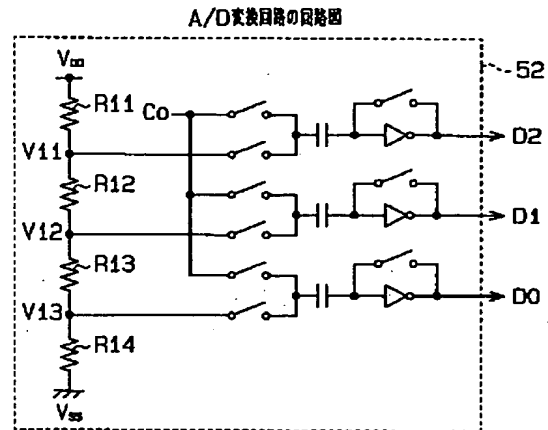
(a) ~ (c) はチャージポンプの動作の説明図



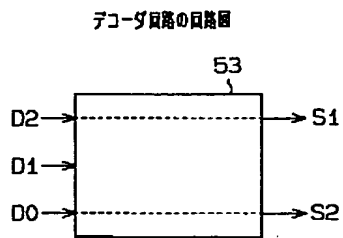
【図5】



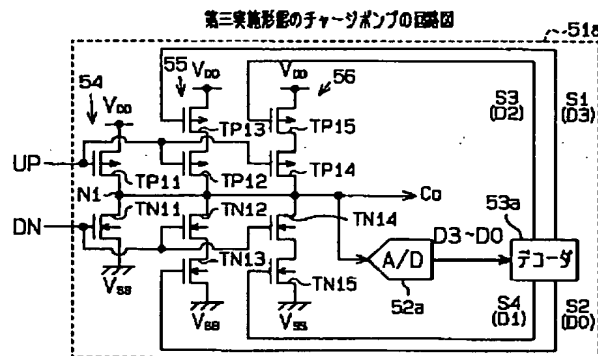
【図6】



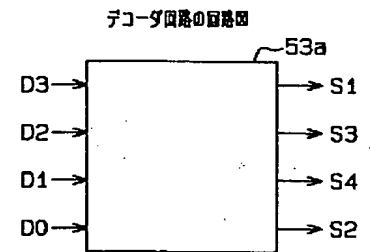
【図7】



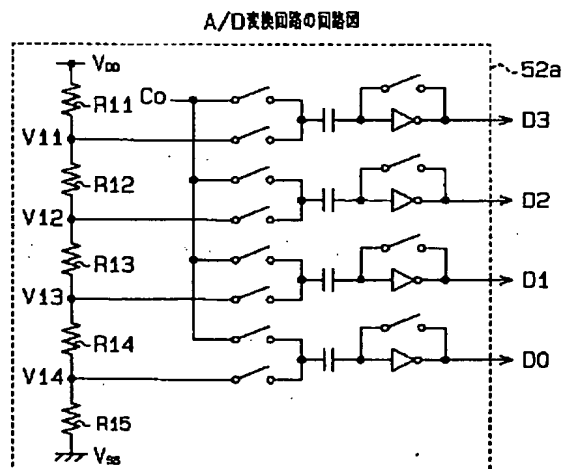
【図8】



【図10】

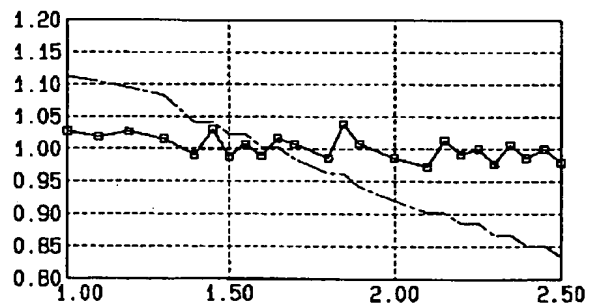


【図9】

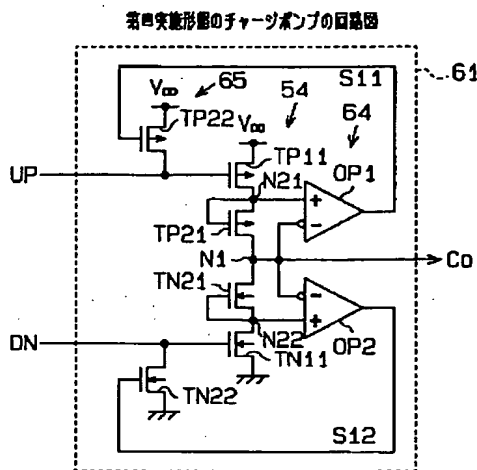


【図11】

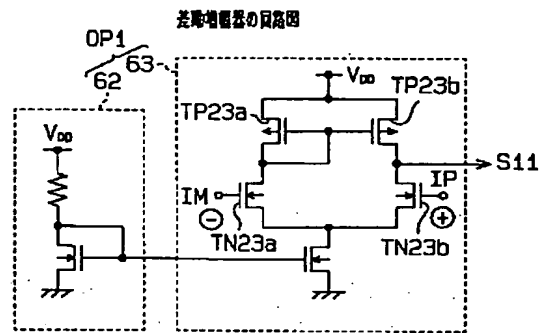
チャージポンプの特性図



【図 12】

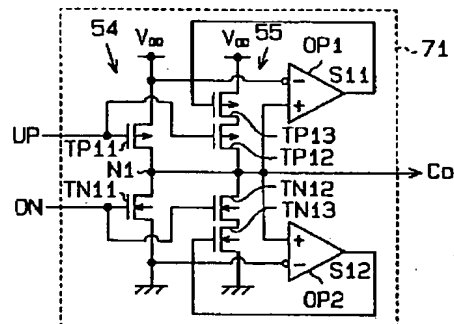


【図 13】



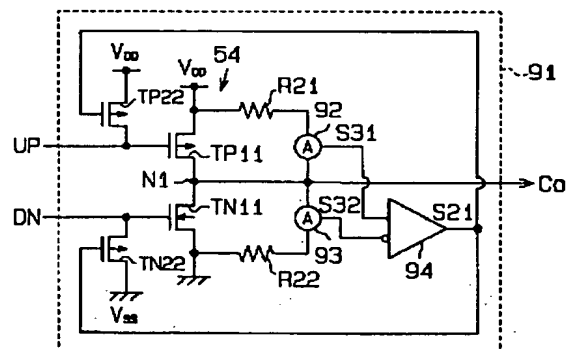
【図 15】

第五実施形態のチャージポンプの回路図



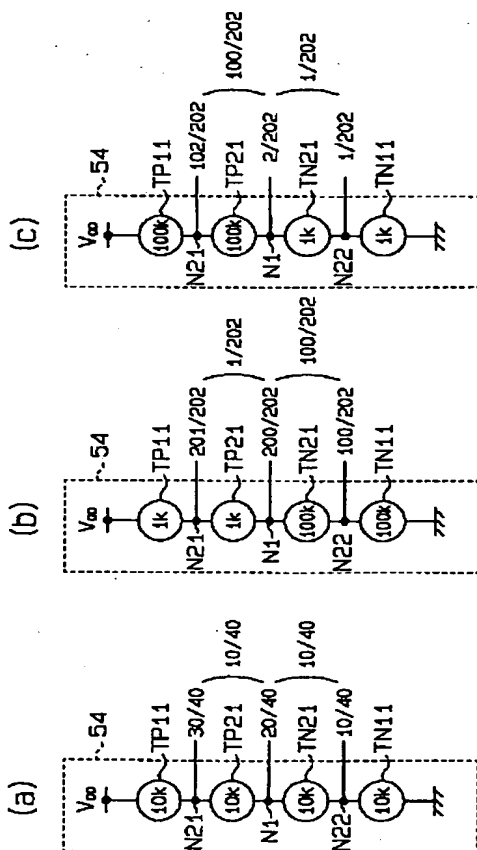
【図 16】

第六実施形態のチャージポンプの回路図



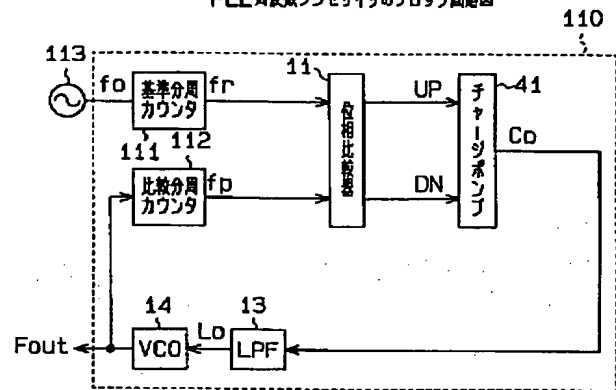
【図 14】

第四実施形態のチャージポンプの動作の説明図



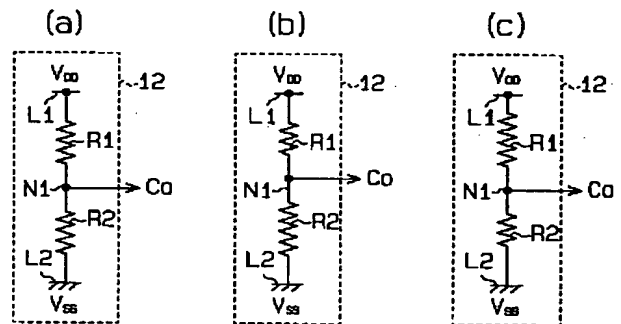
【図 18】

PLL周波数シンセサイザのブロック回路図



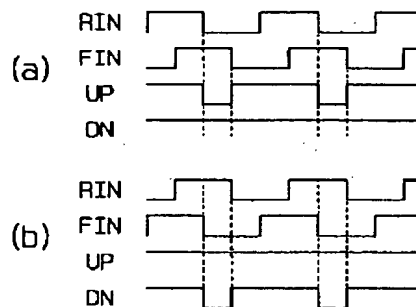
【図 2 1】

従来のチャージポンプの等価回路図



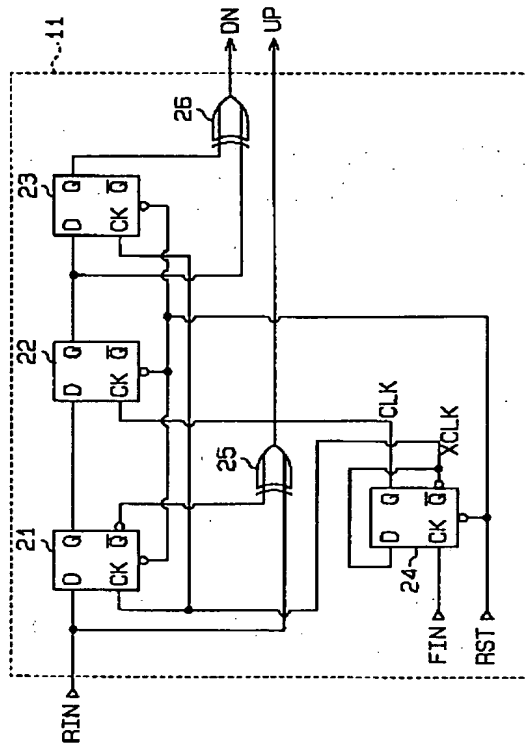
【図 29】

別の位相比較器のタイミングチャート



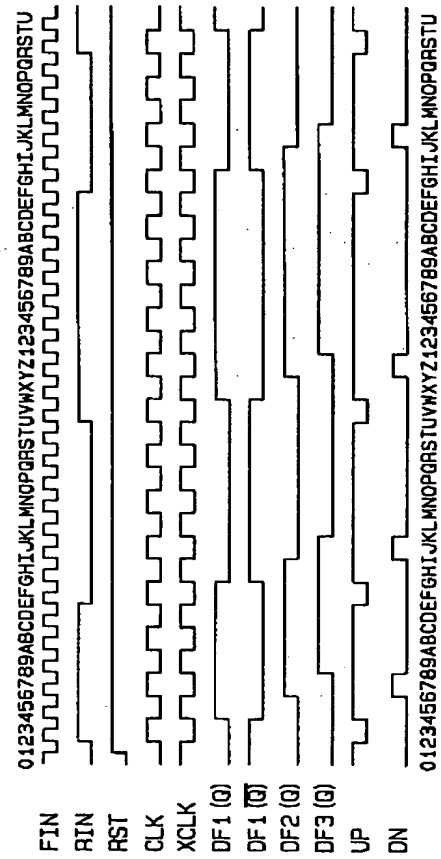
【図 22】

従来比較器を示すブロック回路図



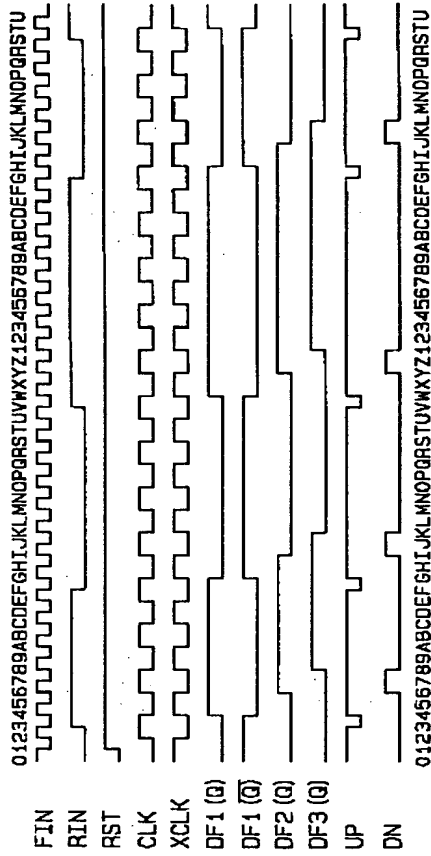
【図 23】

クロックの立ち上がりと基準信号の立ち上がり (立ち下がり) が揃っているタイミングチャート



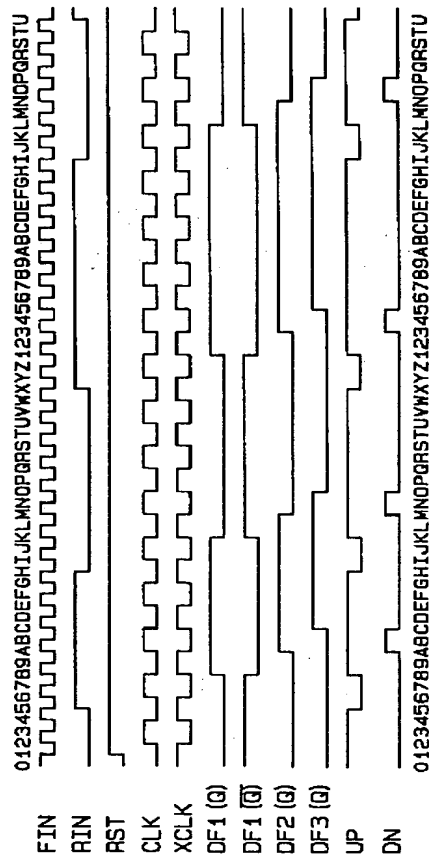
【図 24】

クロックの立ち上がりと基準信号の立ち上がり (立ち下がり) が
1/2周期早いタイミングチャート



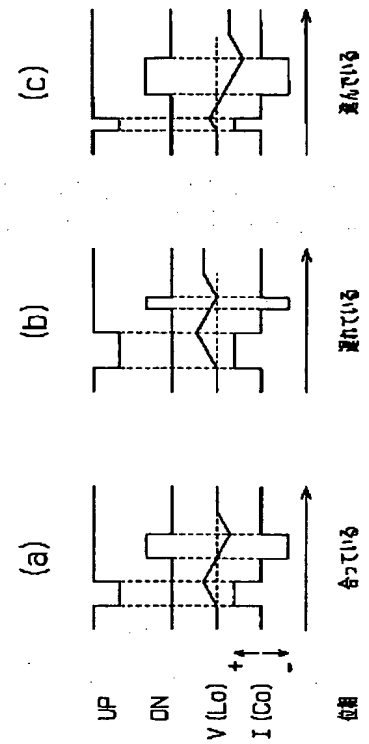
【図 25】

クロックの立ち上がりと基準信号の立ち上がり (立ち下がり) が
1/2周期遅いタイミングチャート



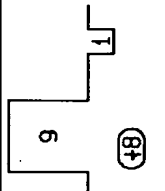
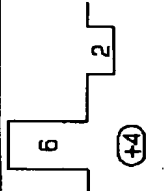
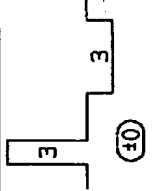
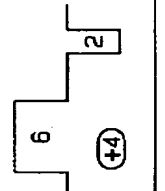
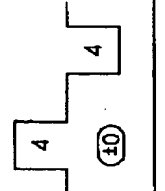
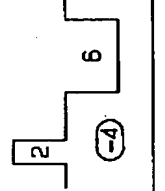
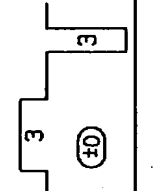
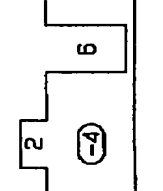
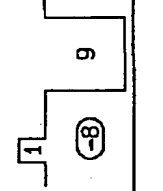
【図 26】

位相比較器の出力信号に対するチャージポンプの
動作を説明するための波形図



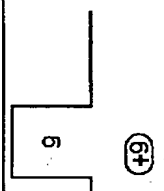
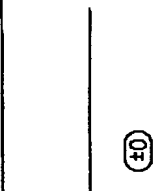
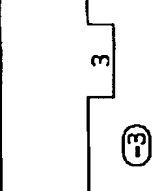
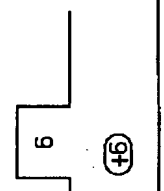
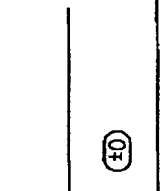
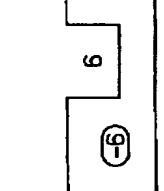
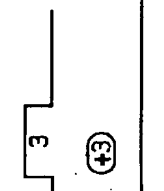
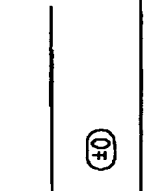
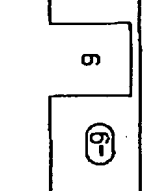
【図 27】

チャージポンプの出力電圧と信号の位相における動作を示す説明図

駆動能力 V (N1)	位相		
	遅れている	合っている	進んでいる
pch>nch 低	 (+9)	 (+4)	 (+0)
pch=nch	 (+4)	 (+0)	 (-4)
pch<nch 高	 (+0)	 (-4)	 (-8)

【図 30】

チャージポンプの出力電圧と信号の位相における動作を示す説明図

駆動能力 V (N1)	位相		
	遅れている	合っている	進んでいる
pch>nch 低	 (+9)	 (+0)	 (-3)
pch=nch	 (+6)	 (+0)	 (-6)
pch<nch 高	 (+3)	 (+0)	 (-9)